

공개특허 제2001-98894호(2001.11.08.) 1부.

특2001-0098894

(19) 대한민국특허청(KR)

(12) 공개특허공보(A)

(51) Int. Cl.⁷
G09G 3/30(11) 공개번호 특2001-0098894
(43) 공개일자 2001년 11월 08일

(21) 출원번호	10-2001-0022589
(22) 출원일자	2001년 04월 26일
(30) 우선권 주장	2000-125993 2000년 04월 26일 일본(JP)
(71) 출원인	가부시키가이샤 한도오따이 에네루기 켄큐쇼 아마자끼 순페이 일본국 기나기외켄 이쓰기시 하세 398
(72) 발명자	키무라하지메 일본국 가나가와켄 아쓰기시 하세 398번치 가부시키가이샤 한도오따이 에네루기 켄큐쇼 내
(74) 대리인	황의만

심사청구 : 없음

(54) 전자장치 및 그의 구동방법

요약

디지털 계조와 시간 계조를 조합하여 구성되는 구동방법에서 어드레스 기간보다 서스테인(sustain) 기간이 짧은 경우라도 화상의 정상적인 표시가 가능하며, EL 구동용 트랜지스터가 열화로 인해 정상적으로 점등되는 경우라도 신호선의 전위를 변화시켜 동작을 보상할 수 있게 한 화소가 제공된다. 소거 TFT의 소스영역과 드레인영역 중 하나는 전류공급선에 접속되고, 다른 하나는 게이트 신호선에 접속된다. EL 구동용 TFT가 그의 스레시홀드 전압값의 변이로 인해 정상적으로 점등되는 경우라도 게이트 신호선의 전위를 변화시켜 EL 구동용 TFT의 게이트와 소스간의 전압을 변화시키는 것이 가능하고, 이에 따라 상기의 구조에 의해 EL 구동용 TFT를 확실히 비도전 상태로 만들 수 있다.

대표도

도 1

색인어

전자장치, 구동방법, 프레임 기간, 서브프레임 기간, 어드레스 기간, 서스테인 기간, 스위칭용 TFT, EL 소자, 리셋용 TFT

영세서

도면의 간단한 설명

- 도 1A 및 도 1B는 본 발명의 전자장치의 회로구조를 도시하는 도면.
 도 2A 내지 도 2C는 화소부의 각 부분들간의 전위관계를 도시하는 도면.
 도 3A 및 도 3C는 실시예 1에 따른 본 발명의 화소를 사용하는 회로구조의 예를 각기 도시하는 도면.
 도 4A 및 도 4B는 실시예 1에 따른 구동방법에 관련된 타이밍도를 도시하는 도면.
 도 5는 실시예 1에 따른 구동방법에서의 게이트 신호선과 리셋 신호선의 타이밍도를 도시하는 도면.
 도 6A 내지 도 6C는 실시예 2에 따른 전자장치를 제조하는 공정을 도시하는 도면.
 도 7A 내지 도 7C는 실시예 2에 따른 전자장치를 제조하는 공정을 도시하는 도면.
 도 8A 내지 도 8C는 실시예 2에 따른 전자장치를 제조하는 공정을 도시하는 도면.
 도 9A 및 도 9B는 실시예 3에 따른 전자장치를 도시하는 평면도 및 단면도.
 도 10은 실시예 4에 따른 전자장치의 화소부를 도시하는 단면도.
 도 11은 실시예 5에 따른 전자장치의 화소부를 도시하는 단면도.
 도 12는 실시예 6에 따른 전자장치의 화소부를 도시하는 단면도.
 도 13A 및 도 13B는 전자장치 회로구조의 예를 각기 도시하는 도면.
 도 14A 및 도 14B는 면적 계조방법에 따라 계조표현을 행하는 전자장치의 화소부에 대한 예를 각기 도시

하는 도면.

도 15A 및 도 15B는 시간 계조에서의 프레임 기간분할을 설명하기 위한 타이밍도를 도시하는 도면.

도 16A 및 도 16B는 어드레스(기입) 기간의 중복과, 비표사 기간에 따른 해결방법을 각기 도시하는 도면.

도 17A 및 도 17B는 일본국 특허출원 제 평11-338786 호에 기재되어 있는 화소의 구조를 도시하는 도면.

도 18A 및 도 18B는 본 발명의 화소를 이용하여 실시예 7에 따른 회로구조의 예를 각기 도시하는 도면.

도 19A 및 도 19B는 본 발명의 화소를 이용하여 실시예 8에 따른 회로구조의 예를 각기 도시하는 도면.

도 20A 내지 도 20F는 본 발명의 전자장치에 대한 구동방법을 적용하는, 실시예 11에 따른 전자장비의 예를 각기 도시하는 도면.

도 21A 및 도 21B는 본 발명의 전자장치에 대한 구동방법을 적용하는, 실시예 11에 따른 전자장비의 예를 각기 도시하는 도면.

* 도면의 주요부분에 대한 부호의 설명

101: 스위칭용 TFT	102: EL 구동용 TFT
103: EL 소자	104: 보유용량
105: 리셋용 TFT	106: 게이트 신호선
107: 소스 신호선	108: 전류공급선

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 전자장치 구조에 관한 것으로, 특히 절연체상에 형성된 박막 트랜지스터(이하, TFT라 칭함)를 갖는 액티브 매트릭스형 전자장치 및 그 액티브 매트릭스형 전자장치의 구동방법에 관한 것이다.

최근, 전기장 발광 표시장치(이하, EL 표시장치라 칭함)가 액정표시장치(이하, LCD라 칭함)에 대체되고 있는 플랫 패널 표시장치로서 주목을 받고 있는 것으로서, 이에 대한 연구가 급속하게 진전되고 있다.

LCD는 구동방법면에서 크게 두가지의 형태로 구분할 수 있는데, 하나는 STN-LCD와 같은 LCD에 사용되는 패시브 매트릭스형이고, 다른 하나는 TFT-LCD와 같은 LCD에 사용되는 액티브 매트릭스형이다. 이와 유사하게, EL 표시장치 또한 패시브 매트릭스형과 액티브 매트릭스형의 두가지 형태로 크게 구분할 수 있다.

패시브 매트릭스형의 경우에는 전기장 발광소자(이하, EL 소자라 칭함)들의 상,하 부분에 전극으로 작용할 배선들이 배열되어 있다. 이 배선들에 전압이 순차로 인가되면 전류의 흐름이 발생하여 EL 소자들이 점등되게 된다. 한편, 각 화소에는 액티브 매트릭스형의 TFT가 구비되고, 이에 따라 각 화소에 신호를 저장할 수 있다.

도 13A 및 도 13B에는 액티브 EL 표시장치의 개략도가 도시되어 있다. 도 13A는 회로 전체의 개략도로서, 이에 도시된 바와 같이 기판(1350)은 중앙에 화소부를 가지고 있다. 상기 화소부의 좌, 우에는 게이트 신호선들을 제어하기 위한 게이트 신호선 구동회로(1352)들이 배열되어 있다. 구동회로(1352)의 배열은 화소부의 일측에만, 즉 좌측 또는 우측에만 형성시킬 수도 있지만 동작효율 및 신뢰성과 같은 사항들을 고려할 때 도 13A에 도시된 바와 같이 양측에 모두 형성시키는 것이 바람직하다. 상기 화소부의 상부에는 또한 소스 신호선들을 제어하기 위한 소스 신호선 구동회로(1351)이 배열되어 있다. 도 13B에는 도 13A에 도시된 화소부(1353)의 화소부 회로들 중 하나가 도시되어 있다. 도 13B에서, 부호 1301은 화소에서 이루어지는 기록동작중에 스위칭소자로서 작용하는 TFT를 나타낸다. 또한, 부호 1302는 EL 소자(1303)에 공급되는 전류를 제어하기 위한 소자, 즉 전류제어소자로서 작용하는 TFT(이하, EL 구동용 TFT라 칭함)를 나타낸다. 상기 EL 구동용 TFT(1302)는 EL 소자(1303)와 도 13B의 전류공급선(1307)사이에 위치되어 있다. 별도의 구조 방법으로서, EL 구동용 TFT(1302)를 EL 소자(1303)의 양극과 음극전극(1308)사이에 배치하는 것도 가능하다. 그러나, 소스영역을 접지시키는 것이 TFT의 동작면에서 바람직하고, 또한 EL 소자(1303)의 제조 상의 제한 사항때문에 p채널형 TFT를 EL 구동용 TFT(1302)에 사용하도록 EL 소자(1303)의 양극과 전류공급선(1307)사이에 배치하는 방법이 일반적으로 그리고 종종 사용되고 있다. 도 13B의 경우에는 전류공급선(1307)에 보유용량(1304)의 일단이 접속되어 있지만, 특수 배선을 이용하는 것도 가능하다. 스위칭용 TFT(1301)의 게이트 전극은 게이트 신호선(1305)에 접속되어 있고, 상기 스위칭용 TFT(1301)의 소스 영역은 소스 신호선(1306)에 접속되어 있다. 또한, EL 구동용 TFT(1302)의 드레인 영역은 EL 소자(1303)의 양극(1309)에 접속되어 있고, 상기 EL 구동용 TFT(1302)의 소스영역은 전류공급선(1307)에 접속되어 있다.

상기 EL 소자는 전기장 발광(전계의 인가에 따라 발생하는 발광)을 이루는 유기화합물을 함유하는 층(이하, EL 층이라 칭함)과, 양극과, 음극을 가지고 있다. 유기화합물에서의 발광과 관련하여서는 단일 여기상태(형광)으로부터 기저상태로 복귀시 이루어지는 발광과, 삼중 여기상태(인광)로부터 기저상태로 복귀시 이루어지는 발광을 들 수 있는데, 본 발명의 전자장치는 이 두 발광형태 모두를 이용할 수 있다.

여기서 주지할 점은 본 명세서에서 정의하는 EL 층은 양극과 음극사이에 형성되는 모든 층을 포함한다는 점이다. 특히, 발광층, 정공주입층, 전자주입층, 정공전달층, 및 전자 전달층과 같은 층들은 모두 EL 층에 포함된다. EL 소자는 기본적으로 양극, 발광층, 그리고 음극이 순차적으로 적층된 구조를 가지고 있다. 이러한 구조외에, 상기 EL 소자는 또한 양극, 정공주입층, 발광층, 그리고 음극이 순차로 적층된

구조를 가질 수도 있으며, 아니면 양극, 정공주입층, 발광층, 전자전달층, 그리고 음극이 순차로 적층된 구조를 가질 수도 있다.

또한, 양극, EL 층, 음극으로 구성되는 소자도 본 명세서에서 정의하는 EL 소자로서 칭할 수 있다.

이하, 도 13A 및 도 13B를 참조하여 액티브 매트릭스형 전자장치의 회로동작에 관해 설명한다. 먼저, 게이트 신호선(1305)이 선택되면 스위칭용 TFT(1301)의 게이트 전극에 전압이 인가되고, 그 결과 스위칭용 TFT(1301)는 도전 상태로 된다. 이에 따라 보유용량(1304)에 소스 신호선(1306)의 신호(즉, 전압)가 저장된다. 상기 보유용량(1304)의 전압은 EL 구동용 TFT(1302)의 게이트와 소스사이에서는 전압 V_{GS} 를 나타내고, 이러한 보유용량(1304)의 전압에 응답하여 EL 구동용 TFT(1302)와 EL 소자(1303)에 전류가 흐르게 된다. 그 결과, EL 소자(1303)는 점등되게 된다.

EL 소자(1303)의 휘도, 즉 상기 EL 소자(1303)에 흐르는 전류량은 EL 구동용 TFT(1302)의 V_{GS} 에 의해 제어할 수 있다. 여기서, V_{GS} 는 보유용량(1304)에 저장된 전압으로서 소스 신호선(1306)에 입력되는 신호(즉, 전압)가 된다. 다시 말하자면, EL 소자(1303)의 휘도는 소스 신호선(1306)의 신호(즉, 전압)를 제어함에 따라 제어할 수 있다. 최종적으로, 게이트 신호선(1305)에 대한 선택이 해제되고, 그 결과 스위칭용 TFT(1301)의 게이트가 폐쇄되어 스위칭용 TFT(1301)가 비도전 상태로 된다. 이때, 보유용량(1304)에는 계속 전하축적이 이루어진다. 따라서, EL 구동용 TFT(1302)의 전압 V_{GS} 는 저장 상태로 그대로 유지되고, 따라서 전압 V_{GS} 에 응답하여 EL 구동용 TFT(1302)와 EL 소자(1303)에 전류가 계속 흐르게 된다.

상기의 설명에 관련된 정보는 논문 'Current Status and Future of Light-Emitting Polymer Display Driven by poly-Si TFT', SID99 Digest, p.372; 'High Resolution Light Emitting Polymer Display Driven by Low Temperature Polysilicon Thin Film Transistor with Integrated Driver', ASIA DISPLAY 98, p. 217; '3.8 Green OLED with Low Temperature Poly-Si TFT', Euro Display 99 Late News, p. 27 등에 보고되어 있다.

EL 표시장치의 제조방법으로는 아날로그 제조방법과 디지털 제조방법이 있다. 아날로그 제조방법을 사용할 경우에는 EL 구동용 TFT(1302)의 전압 V_{GS} 의 값이 변화하게 되어 있고, 그에 따라 EL 소자(1303)에 흐르는 전류량을 제어하여 휘도를 아날로그 방식으로 변화시키게 되어 있다. 한편, 디지털 제조방법의 경우에는 EL 구동용 TFT의 게이트와 소스간의 전압이 단지 두개의 레벨, 즉 EL 소자에 전류가 흐르지 않게 하는 전압 범위(점등 개시전압 이하의 전압 레벨)와 최대전류가 흐르게 하는 전압 범위(휘도 포화전압 이상)에서만 작용하게 되어 있다. 다시 말하자면, EL 소자(1303)는 단지 점등 상태와 소등 상태를 갖는다.

EL 표시장치들은 주로 TFT의 스레시홀드 전압과 같은 특성의 분산에도 표시장치가 쉽게 영향을 받지 않게 하는 디지털 제조방법을 주로 사용한다. 그러나, 디지털 제조방법을 사용할 경우는 단지 이원 제조, 즉 점등 및 온오프만을 수행할 수 있고, 따라서 상기 디지털 제조방법을 다른 방법과 조합하여 다원 제조를 가능하게 할 수 있는 기술들이 다수 제안되었다.

이러한 기술들 중 하나는 면적 제조방법과 디지털 제조방법을 조합한 방법이다. 면적 제조방법은 온상태로 절환되는 부분들의 표면적을 제어하여 다양한 계조를 출력하는 방법이다. 즉, 하나의 화소를 다수의 부화소로 분할하고, 점등되는 부화소의 개수와 표면적을 제어하여 계조를 발현시키는 것이다.

도 14A 및 도 14B에는 면적 제조방법에 따라 계조표현을 행하는 화소구조의 예가 각기 도시되어 있다. 도 14A에서 점선으로 표시된 박스(1400)로 표시된 영역이 일 화소에 대한 회로로서, 이에 대한 확대도가 도 14B에 도시되어 있다. 도 14B에서, 부호 1401은 제 1 스위칭용 TFT, 부호 1402는 제 2 스위칭용 TFT, 부호 1403은 제 1 EL 구동용 TFT, 부호 1404는 제 2 EL 구동용 TFT, 부호 1405는 제 1 EL 소자, 부호 1406은 제 2 EL 소자, 부호 1407은 제 3 EL 소자를 각각 나타낸다. 또한, 부호 1408은 제 1 보유용량, 부호 1409는 제 2 보유용량, 부호 1410은 게이트 신호선, 부호 1411은 제 1 소스 신호선, 부호 1412는 제 2 소스 신호선, 부호 1413은 전류공급선을 각기 나타낸다.

상기 계조표현 방법에서 먼저 게이트 신호선(1410)이 선택되면 제 1 스위칭용 TFT(1401)와 제 2 스위칭용 TFT(1402)가 도전 상태로 된다. 이때, 소스 신호선에 입력되는 신호가 없으면 모든 EL 소자들은 점등되지 않는다(계조레벨 0). 제 1 소스 신호선(1411)에 신호가 입력되면, 제 1 EL 구동용 TFT(1403)가 제 1 스위칭용 TFT(1401)를 통해 도전 상태로 되고, 그에 따라 전류가 제 1 EL 소자(1405)에 공급되어, 상기 제 1 EL 소자(1405)가 점등되게 된다. 이 시점에서는 제 2 소스 신호선(1412)에 입력되는 신호는 없고, 따라서 제 2 EL 소자(1406)와 제 3 EL 소자(1407)들은 소등 상태에 있게 된다(계조레벨 1). 이후 제 2 소스 신호선(1412)에 신호가 입력되면 제 2 EL 구동용 TFT(1404)가 제 2 스위칭용 TFT(1402)를 통해 도전 상태로 되고, 이에 따라 제 2 EL 소자(1406)와 제 3 EL 소자(1407)에 전류가 공급되어 그 제 2 EL 소자(1406)와 제 3 EL 소자(1407)가 점등되게 된다. 이 시점에서 제 1 소스 신호선(1411)에는 신호가 입력되지 않게 되고, 따라서 제 1 EL 소자(1405)는 소등 상태로 되게 된다(계조레벨 2). 최종적으로, 제 1 소스 신호선(1411)과 제 2 소스 신호선(1412) 모두에 신호가 입력되면 제 1 EL 구동용 TFT(1403)와 제 2 EL 구동용 TFT(1404)가 제 1 스위칭용 TFT(1401)와 제 2 스위칭용 TFT(1402)를 통해 도전 상태로 되고, 이에 따라 제 1 EL 소자(1405), 제 2 EL 소자(1406), 그리고 제 3 EL 소자(1407)에 전류가 공급되어 그 제 1 EL 소자(1405), 제 2 EL 소자(1406), 그리고 제 3 EL 소자(1407)들이 점등되게 된다. 이러한 상태에서는 일 화소의 모든 EL 소자들이 점등되게 된다(계조레벨 3). 이와 같이, 도 14A 및 도 14B에 도시된 화소에서는 4개 레벨의 계조표현이 이루어질 수 있다.

여기서 주지할 점은 도 14A 및 도 14B의 경우 점등된 EL 소자들의 표면적을 명확히 나타내기 위해 제 2 및 제 3 EL 소자들을 각기 별도로 도시하였으나 제 2 EL 소자만을 제 1 EL 소자의 두배에 해당하는 표면적을 갖게 하여 배치하는 것도 가능하다는 점이다.

이러한 방법의 단점으로는 해상도를 증대시키기가 어렵다는 점과, 다양한 계조레벨을 얻기 어렵다는 점들 들 수 있는데, 그 이유는 부화소의 개수에 제한이 있기 때문이다. 상기 면적 제조방법은 'TFT-LEPD with

Image Uniformity by Area Ratio Gray Scale', Euro Display 99 Late News, p. 71; 'Technology for Active Matrix Light Emitting Polymer Displays', IEDM 99, P.107 등의 논문에 보고되어 있다.

다양한 계조를 얻을 수 있게 하는 또 다른 방법으로는 시간 계조방법과 디지털 계조방법을 조합한 방법을 들 수 있다. 시간 계조방법은 점등 기간을 제어하여 다양한 계조를 출력하는 방법이다. 즉, 일 프레임 기간을 다수의 서브프레임 기간으로 분할하고, 서브프레임 기간들중 점등되는 서브프레임 기간들의 개수와 길이를 제어하여 다양한 계조를 발현시키는 방법이다.

디지털 계조방법, 면적 계조방법, 그리고 시간 계조방법의 조합에 관해서는 'Low-temperature Poly-Si TFT driven Light-Emitting-Polymer Displays and Digital Gray Scale for Uniformity', IDW 99, p. 171에 보고되어 있다.

도 15A 및 도 15B는 디지털 계조와 시간 계조의 조합시 구동방법에 대한 타이밍도를 각기 도시하고 있다. 도 15A는 일 서브프레임 기간내에서 어드레스(기입) 기간과 서스테인(점등) 기간이 완전히 분리되어 있는 경우에 대한 타이밍도를 나타내며, 도 15B는 그러한 기간들이 분리되지 않은 경우에 대한 타이밍도를 나타낸다.

통상, 시간 계조를 이용하는 구동방법에 있어서는 어드레스(기입) 기간과 서스테인(점등) 기간을 비트수에 대응시켜 형성할 필요가 없다. 어드레스(기입) 기간과 서스테인(점등) 기간이 완전히 분리되어 있는 구동 방법(각 서브프레임 기간에서 일 화소부의 어드레스(기입) 기간이 완전히 종료한 후 서스테인(점등) 기간이 시작되게 하는 구동방법)에 있어서는 일 프레임 기간내에서 어드레스(기입) 기간이 차지하는 비율이 크게 된다. 또한, 도 15A에 도시된 바와 같이, 어드레스(기입) 기간내에서 소정 행의 게이트 신호선이 선택되는 기간동안 다른 행들에서 기입과 점등이 이루어질 수 없는 기간(1501)이 존재하게 된다. 따라서, 듀티비(일 프레임 기간내에서의 서스테인(점등) 기간의 길이 비율)가 크게 감소한다. 동작클럭주파수를 증가시키기 위한 방법으로는 어드레스(기입) 기간을 줄이는 방법이 유일한 방법이지만, 이 경우에는 회로의 동작마진과 같은 점등 때문에 다양한 계조를 얻는데 한계가 있다. 한편, 어드레스(기입) 기간과 서스테인(점등) 기간을 분리시키지 않는 구동방법을 사용하는 경우에는, 알레로 k번째 열의 게이트 신호선에 대한 선택 기간이 완료하자마자 상기 k번째 열의 EL 소자에 대한 서스테인(점등) 기간이 시작하게 되어 있다. 따라서, 다른 열들에 의해 상기 게이트 신호선이 선택되는 기간 중에도 화소가 점등상태에 있게 된다. 결과적으로, 이 구동방법은 듀티비를 증대시킬 수 있는 이점이 있는 구동방법이다.

그러나, 어드레스(기입) 기간과 서스테인(점등) 기간이 분리되지 않을 경우에는 다음과 같은 문제점들이 있다. 즉, 일 어드레스(기입) 기간은 제 1 열의 게이트 신호선에 대한 선택 기간의 시작점으로부터 최종 열의 게이트 신호선의 선택 기간의 종료점까지의 기간에 해당하는 길이를 갖는다. 이 경우 소정지점에서는 상이한 두 게이트 신호선이 동시 선택될 수 없고, 따라서 이 경우에 적용하는 서스테인(점등) 기간은 어드레스(기입) 기간과 서스테인(점등) 기간의 분리를 행하지 않는 구동방법에서 적용하는 어드레스(기입) 기간의 길이와 최소한 동등하거나 그 이상의 길이를 갖는 것이 필요하다. 그 결과, 다양한 계조를 얻게 할 수 있는 능력이 서스테인(점등) 기간의 최소단위로 제한될 수 밖에 없다. 도 15B의 경우, 서브프레임 기간 SF_n 중 최상위비트부의 어드레스(기입) 기간 Ta_n의 종료에 이룰때까지의 기간이 다음 프레임 기간의 제 1 어드레스(기입) 기간이 시작되는 기간과 중복되지 않는 부분, 즉, 부호 1502로 표시된 부분의 길이가 최소단위이다. 서스테인(점등) 기간이 상기 최소 단위보다 더 짧은 길이를 갖게 되면 정상적인 표시가 이루어질 수 없다. 어드레스(기입) 기간의 길이가 Ta_n이고, 일 게이트 신호선에 대한 선택 기간의 길이가 T_{0n}일 경우, 상기 서스테인(점등) 기간의 최소단위길이 Ts_{min}은 'Ts_{min} = Ta_n - T_{0n}'으로 나타낼 수 있다. 따라서, 디지털 계조방법과 시간 계조방법을 조합한 경우 서스테인(점등) 기간의 길이는 2승의 배율로 결정되고, 따라서 일 프레임 기간의 길이를 감인하면 다양한 계조를 얻기가 어렵다.

어드레스(기입) 기간과 서스테인(점등) 기간이 분리되어 있지 않은 경우 서스테인(점등) 기간의 최소단위가 제한되는 문제점은 상기한 타이밍도들을 참조하면 알 수 있다. 이러한 문제점을 해결하기 위해 다음과 같은 표시방법이 제안된 바 있다.

일 프레임 기간내에는 Ts_{min}보다 짧은 서스테인(점등) 기간 Ts₃이 포함되고, 따라서 상기 기간 Ta₃의 부분과 상기 기간 Ts₃의 종료후 시작되는 다음 프레임 기간 Ta₁의 부분은 도 16A에서 부호 1601로 표시된 영역에서 중복되게 된다. 이러한 형태의 중복부에 따라 서로 다른 열들의 게이트 신호선들이 동시 선택되면, 정상적인 주사가 이루어질 수 없다. 도 16B에 도시된 바와 같이, 최소 단위 Ts_{min}보다 짧은 길이를 갖는 서스테인(점등) 기간의 종료후 어드레스(기입) 기간이 중복되는 기간내에 EL 소자가 비표시 상태에 있게 되는 기간(1602)을 형성시키면 다음 어드레스(기입) 기간의 시작 타이밍이 지연된다. 그러면, 최소단위 Ts_{min}보다 짧은 길이의 서스테인(점등) 기간이 포함된 경우에도 어드레스(기입) 기간의 중복은 배제되고, 그 결과 정상적인 표시가 이루어지게 된다.

도 17A 및 도 17B에는 일본국 특허출원 평11-338786(1999년 11월 29일자 출원)에 기재된 화소구조기 도시되어 있다. 도 17A에서 점선 박스(1700)으로 표시된 부분이 일화소부에 해당한다. 도 17B는 도 17A의 확대도를 나타낸다. 도 17A 및 도 17B에 도시된 구조는 도 13A 및 도 13B에 도시된 화소구조에 리셋용 TFT(1705)와 리셋 신호선(1712) 추가한 구조이다.

이하, 도 17A 및 도 17B에 도시된 회로의 동작을 간략히 설명한다. 화상 표시에 관한 동작은 도 13A 및 도 13B에 도시된 바와 같은 종래의 화소에서 이루어지는 동작과 유사하다. 리셋용 TFT(1705)와 리셋 신호선(1712)은 상기한 비표시 기간의 형성을 위해 사용된다. 저장 캐피시터(1704)에 의해 자정된 전하에 따라 서스테인(점등) 기간에서 EL 구동용 TFT(1702)에 인가되는 게이트전압(소스영역과 관련한 EL 구동용 TFT(1702)의 게이트 전극의 전위)이 제공된다. 즉, EL 구동용 TFT(1702)에 인가되는 게이트전압(소스영역과 관련한 EL 구동용 TFT(1702)의 게이트 전극의 전위)은 보류용량(1704)의 양단 전위차와 동일하다. 서스테인(점등) 기간의 종료후 비표시 기간을 형성시키기 위해 리셋용 TFT(1705)를 비도전 상태로 만들도록 리셋신호를 리셋 신호선(1712)에 입력한다. 이러한 동작에 따라, 리셋용 TFT(1705)의 소스영역과 드레인 영역간의 전위차, 즉 보류용량(1704)의 양단 전위차는 0V로 된다. 이에 따라, EL 구동용 TFT(1702)의 게

메트와 소스간의 전압이 0V로 되고, 그 결과 비도전 상태로 된다. 이에 따라 EL 소자(1703)에 대한 전류 공급이 차단된다. 이와 동시에 리셋용 TFT(1705)가 비도전 상태로 되지만, 이 때 보유용량(1704)의 일단 전위치는 0 V로 그대로 유지되고, 따라서 EL 구동용 TFT(1702)의 게이트와 소스간 전압도 0 V로 유지된다. 새로운 화상 신호가 다음에 기입될 때까지 상기 EL 소자(1703)는 점등되지 않는다. 상기 비표시 기간은 식 $t_r = t_a - (t_s + t_g)$ 로 표시되는 길이를 최소한 갖는다. 상기 식에서, t_a 는 어드레스(기입) 기간의 길이를 나타내며, t_s 는 서스테인(점등) 기간의 길이를 나타내며, t_g 는 일 게이트 신호선의 선택 기간의 길이를 나타낸다 (여기서, $t_a, t_s, t_g > 0$). 따라서, 짧은 서스테인(점등) 기간의 양측의 어드레스(기입) 기간들의 중복을 방지할 수 있다.

그러나, 도 17A 및 도 17B에 도시된 화소와 유사한 화소를 사용할 경우 다음과 같은 문제점들이 발생한다.

상술한 바와 같이 EL 구동용 TFT(1702)용으로는 p채널형 TFT를 사용하는 것이 바람직하다. p채널형 TFT를 사용할 경우 정상시 스레시홀드 전압은 음의 값을 갖는다. 따라서, EL 구동용 TFT(1702)의 게이트와 소스간 전압이 0 V 이상일 때는 드레인 전류가 흐르지 않게 되어 있다. 그러나, 서스테인(점등) 기간 중에는 EL 구동용 TFT(1702)에 드레인 전류가 흐르게 되는데, 이 때문에 다른 TFT의 경우에 비해 열화가 쉽게 발생하게 된다. 이러한 열화 및 제조상의 불규칙성으로 인해 스레시홀드 전압이 정(正)의 값으로 변이될 수 있는데, 이와 같이 되는 경우에는 게이트와 소스간 전압이 0 V인 경우라도 드레인전류가 흐르게 된다.

도 17A 및 도 17B에서 EL 구동용 TFT(1702)의 스레시홀드 전압이 실제로 정의 값으로 변이되는 경우, 신호가 정상적으로 기입되는 기간에 관해 설명하자면, 신호가 소스 신호선(1707)으로부터 입력되어 흑색표시(EL 소자(1703)가 점등되지 않은 상태)가 행해질 때 소스 신호선(1707)로부터 입력되는 신호의 전위가 전류공급선(1708)의 전위보다 충분히 높다는 전제하에서는 EL 구동용 TFT(1702)의 게이트와 소스간 전압은 분명 정의 값을 갖게 되고, 따라서 드레인 전류는 흐르지 않게 된다. 다시 말하자면, 외부로부터 입력되는 신호를 조절하면 상술한 바와 같은 불규칙성을 갖는 TFT들이 포함된 경우라도 정상적인 동작이 가능하다.

한편, 리셋용 TFT(1705)가 도전 상태로 되고, EL 소자(1703)에 대한 전류공급이 차단되는 비표시 기간중에 이루어지는 동작에 따라 소스 신호선(1707)의 전위와 전류공급선(1708)의 전위는 리셋용 TFT(1705)의 해 동일하게 된다. 이 때, EL 구동용 TFT(1702)의 게이트와 소스간 전압은 0V로 되며, 스레시홀드 전압이 정의 값으로 변이되면 드레인 전류가 흐르게 되고, 이에 따라 EL 소자(1703)가 발광하게 된다. 이는 각 신호선의 전위를 변화시키더라도 조치할 수 없다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 상술한 바와 같은 구동을 행하는 전자장치에서 높은 듀티비를 유지시켜, 상기한 최소단위보다 짧은 서스테인(점등) 기간을 갖는 경우라도 화상의 표시를 정상적으로 수행할 수 있고, 상기한 스레시홀드값의 변이와 같은 문제점이 발생하는 경우를 조치할 수 있는 신규의 구동 방법을 제공하는 것이다.

또한, 본 명세서에서 사용되는 TFT의 스레시홀드값 시프트의 발생이란 용어 및 특성상의 불규칙성이란 용어는 상기 TFT의 특성이 정상적으로 점등 상태(상기 TFT의 게이트 전극과 소스영역간의 전위차가 0 V일 때 상기 TFT가 도전 상태에 있게 되는 상태)에 있다는 전제하에서 사용되는 것이다.

발명의 구성 및 작용

본 발명에서는 상기한 문제점들을 해결하기 위해 다음과 같은 수단들을 제시한다.

리셋용 TFT(105)의 소스영역과 드레인영역 중 하나를 전류공급선(108)과 전기접속하고, 다른 하나는 게이트 신호선(106)에 전기접속한다. 또한, EL 구동용 TFT와 동일한 극성을 갖는 TFT를 스위칭용 TFT(101)용으로 사용한다.

본 발명에 따르면 리셋용 TFT(105)를 도전 상태로 만든 상태에서 EL 구동용 TFT(102)의 게이트와 소스간 전압은 게이트 신호선(106)의 전위를 변화시켜 제어할 수 있다. 이러한 형태의 방법에 따르면 EL 구동용 TFT(102)의 스레시홀드 전압이 변이되어 EL 구동용 TFT(102)가 정상적인 점등상태로 되더라도, 게이트 신호선(106)의 전위를 변화시켜 상기 EL 구동용 TFT(102)를 비도전 상태로 확실하게 만들 수 있다. 따라서, EL 소자(103)에 전류가 흐르는 것을 어렵게 만들 수 있다.

이하, 본 발명의 전자장치의 구조에 관해 설명한다.

본 발명의 제 1 특징에 따르면,

소스 신호선 구동회로와, 게이트 신호선 구동회로와, 리셋 신호선 구동회로와, 화소부를 포함하는 전자장치에 있어서,

상기 화소부는 다수의 소스 신호선들과, 다수의 게이트 신호선들과, 다수의 전류공급선들과, 다수의 리셋선들과, 다수의 화소들을 가지고 있고,

상기 화소들의 각각은 스위칭용 트랜지스터와, EL 구동용 트랜지스터와, 리셋용 트랜지스터와, 보유용량과, EL 소자를 가지고 있고,

상기 스위칭용 트랜지스터의 게이트 전극은 상기 게이트 신호선들 중 해당하는 하나의 게이트 신호선에 전기접속되어 있고,

상기 스위칭용 트랜지스터의 소스영역과 드레인영역 중 한 영역은 상기 소스 신호선에 전기접속되어 있고, 다른 한 영역은 상기 EL 구동용 트랜지스터의 게이트 전극에 전기접속되어 있고,

상기 리셋용 트랜지스터의 게이트 전극은 상기 리셋 신호선에 전기접속되어 있고,

상기 리셋용 트랜지스터의 소스영역과 드레인영역 중 한 영역은 상기 게이트 신호선들 중 해당하는 하나의 게이트 신호선에 전기접속되어 있고, 다른 한 영역은 EL 구동용 트랜지스터의 게이트 전극에 전기접속되어 있고,

상기 보유통량의 일측 전극은 상기 전류공급선에 전기접속되어 있고, 타측 전극은 상기 EL 구동용 트랜지스터의 게이트 전극에 전기접속되어 있고,

상기 EL 구동용 트랜지스터의 소스영역과 드레인영역 중 한 영역은 상기 전류공급선에 전기접속되어 있고, 다른 한 영역은 상기 EL 소자의 일측 전극에 전기접속되어 있는 것을 특징으로 하는 전자장치가 제공된다.

본 발명의 제 1 특징과 관련하여 본 발명의 제 2 특징에 따르면

상기 EL 구동용 트랜지스터의 상기 소스영역 또는 상기 드레인영역이 상기 EL 소자의 양극에 전기접속된 경우 상기 스위칭용 트랜지스터용으로 p채널형 트랜지스터를 사용하고,

상기 EL 구동용 트랜지스터의 상기 소스영역 또는 상기 드레인영역이 상기 EL 소자의 음극에 전기접속된 경우 상기 스위칭용 트랜지스터용으로 n채널형 트랜지스터를 사용하는 것을 특징으로 하는 전자장치가 제공된다.

본 발명의 제 3 특징에 따르면,

전자장치를 구동하는 방법에 있어서,

일 프레임 기간이 n개의 서브프레임 기간(SF_1, SF_2, \dots, SF_n)을 가지며,

상기 n개의 서브프레임 기간이 각기 어드레스(가입) 기간(TA_1, TA_2, \dots, TA_n)과 서스테인(점등) 기간(TS_1, TS_2, \dots, TS_n)을 가지며,

상기 n개의 서브프레임 기간들중 하나 이상의 서브프레임 기간에서 어드레스(가입) 기간과 서스테인(점등) 기간이 중복되고,

m번째($1 \leq m \leq n$)의 서브프레임 기간(SF_m)의 어드레스(가입) 기간(TA_m)과 m+1번째의 서브프레임 기간(SF_{m+1})의 어드레스(가입) 기간(TA_{m+1})이 중복될 때, 상기 m번째 서브프레임 기간(SF_m)의 서스테인(점등) 기간(TS_m)으로부터 상기 m+1번째의 어드레스(가입) 기간(TA_{m+1})이 시작될 때까지의 기간 중에 비표시 기간이 존재하는 것을 특징으로 하는 전자장치 구동방법이 제공된다.

본 발명의 제 4 특징에 따르면,

전자장치를 구동하는 방법에 있어서,

일 프레임 기간이 n개의 서브프레임 기간(SF_1, SF_2, \dots, SF_n)을 가지며,

상기 n개의 서브프레임 기간이 각기 어드레스(가입) 기간(TA_1, TA_2, \dots, TA_n)과 서스테인(점등) 기간(TS_1, TS_2, \dots, TS_n)을 가지며,

상기 n개의 서브프레임 기간들중 하나 이상의 서브프레임 기간에서 어드레스(가입) 기간과 서스테인(점등) 기간이 중복되고,

j번째 프레임($0 \leq j$)의 n번째 서브프레임 기간(SF_n)의 어드레스(가입) 기간(TA_n)과 j+1번째 프레임의 1번째의 서브프레임 기간(SF_1)의 어드레스(가입) 기간(TA_1)이 중복될 때, 상기 j번째 프레임의 n번째 서브프레임 기간(SF_n)의 서스테인(점등) 기간(TS_n)으로부터 j+1번째 프레임의 1번째의 서브프레임 기간(SF_1)의 어드레스(가입) 기간(TA_1)이 시작될 때까지의 기간 중에 비표시 기간이 존재하는 것을 특징으로 하는 전자장치 구동방법이 제공된다.

본 발명의 제 5 특징에 따르면,

전자장치를 구동하는 방법에 있어서,

일 프레임 기간이 n개의 서브프레임 기간(SF_1, SF_2, \dots, SF_n)을 가지며,

상기 n개의 서브프레임 기간이 각기 어드레스(가입) 기간(TA_1, TA_2, \dots, TA_n)과 서스테인(점등) 기간(TS_1, TS_2, \dots, TS_n)을 가지며,

k번째($1 \leq m \leq n$)의 서브프레임 기간(SF_k)의 어드레스(가입) 기간의 길이를 ' t_{ak} ', 서스테인(점등) 기간의 길이를 ' t_{sk} ', 일 게이트 신호선의 선택 기간의 길이를 ' t_g '라 할때 상기 k번째 서브프레임 기간(SF_k)이 ' $t_{ak} > t_{sk} + t_g$ '를 만족하고, 상기 k번째 서브프레임 기간(SF_k)에서의 비표시 기간의 길이가 ' t_{rk} '($t_{rk} > 0$)일 때

$$t_{rk} \geq t_{ak} - (t_{sk} + t_g)$$

가 항상 만족되는 것을 특징으로 하는 전자장치의 구동방법이 제공된다.

본 발명의 상기 제 3 내지 제 5 특징과 관련하여 본 발명의 제 6 특징에 따르면,

상기 비표시 기간에서는 리셋 신호선 구동회로로부터의 입력신호에 의해 도전 상태로 된 리셋용

트랜지스터에 의해 EL 구동용 트랜지스터가 비도전 상태로 되고,

상기 리셋용 트랜지스터가 비도전 상태로 복귀한 후 소스 신호선으로부터의 다음신호에 대한 기입이 행해 질 때까지의 기간동안 상기 EL 구동용 트랜지스터의 게이트전압이 보류용량에 의해 유지되는 것을 특징으로 하는 전자장치의 구동방법이 제공된다.

본 발명의 상기 제 3 내지 제 6 특징과 관련하여 본 발명의 제 7 특징에 따르면,

상기 비표시 기간동안에는 EL 소자가 화상 신호와 무관하게 소등되는 것을 특징으로 하는 전자장치의 구동 방법이 제공된다.

본 발명의 상기 제 3 내지 제 7 특징과 관련하여 본 발명의 제 8 특징에 따르면,

상기 비표시 기간에서의 EL 구동용 트랜지스터의 게이트전압은 전류공급선의 전위와 비선택 상태에 있는 소정의 게이트 신호선의 전위간의 차이에 의해 결정되는 것을 특징으로 하는 전자장치의 구동방법이 제공된다.

본 발명의 상기 제 3 내지 제 8 특징과 관련하여 본 발명의 제 9 특징에 따르면,

EL 구동용 트랜지스터가 n채널형을 갖는 경우 비선택상태의 게이트 신호선에 건류공급선의 전위에 비해 상기 EL 구동용 트랜지스터의 스레시홀드 전압보다 낮은 전위가 입력되는 것을 특징으로 하는 전자장치의 구동방법이 제공된다.

본 발명의 상기 제 3 내지 제 9 특징과 관련하여 본 발명의 제 10 특징에 따르면,

EL 구동용 트랜지스터가 p채널형을 갖는 경우 비선택상태의 게이트 신호선에 건류공급선의 전위에 비해 상기 EL 구동용 트랜지스터의 스레시홀드 전압보다 높은 전위가 입력되는 것을 특징으로 하는 전자장치의 구동방법이 제공된다.

이하, 본 발명의 실시예에 관해 설명한다.

일본국 특허출원 평11-338786 호에 기재되어 있는 화소는 도 17A 및 도 17B에 도시되어 있는 바와 같이 리셋용 TFT(1705)의 소스영역과 드레인영역 중 하나가 전류공급선(1708)에 전기접속되어 있고, 다른 하나는 EL 구동용 TFT(1702)의 게이트 전극에 전기접속되어 있는 구성을 갖는 화소이다. 또한, 상기 리셋용 TFT(1705)의 게이트 전극은 리셋 신호선(1712)에 전기 접속되어 있다.

이에 반해, 본 발명의 전극은 도 1A 및 도 1B에 도시된 바와 같이 리셋용 TFT(105)의 소스영역과 드레인영역 중 하나가 전류공급선(108)에 전기접속되어 있고, 다른 하나는 게이트 신호선(106)에 전기접속되어 있는 구성을 갖는 화소이다.

이하, 도 2A 내지 도 2C를 참조하여 각 배선의 전위 패턴에 관해 설명한다. 도 2A는 리셋 신호선의 전위를 나타내고, 도 2B는 일본국 특허출원 평11-338786호에 기재되어 있는 화소를 사용하여 비표시 기간을 수반하는 구동을 수행하는 도 17A 및 도 17B의 경우에 대한 각 배선의 전위를 나타낸다. 도 2C는 본 발명의 구조를 갖는 화소를 사용하여 비표시 기간을 수반하는 구동을 수행하는 경우에 대한 각 배선의 전위를 나타낸다. 도 2B의 경우를 먼저 설명한다. 여기서 유의할 점은 각 부분의 전위를 명확히 나타낼 수 있도록 스위칭용 TFT용으로 n채널형 TFT를 사용하고, EL 구동용 TFT와 리셋용 TFT용으로 각각 p채널형 TFT를 사용하는 경우와 관련하여 설명을 진행한다는 점이다.

도 2A에 도시된 파형(201)은 리셋용 TFT(1705)용으로 p채널형 TFT를 사용한 경우에 대한 것으로, 상기 리셋용 TFT(1705)는 전위가 강하되면 도전 상태로 된다. 리셋용 TFT(1705)용으로 n채널형 TFT를 사용하는 경우에는 도 2A의 파형(201)은 반대로 된다.

그러면 게이트 신호선(1706)의 전위(202)에 대해 설명한다. 도 2B의 경우에는 스위칭용 TFT(1701)용으로 n채널형 TFT가 사용된다. 따라서, 게이트 신호선(1706)이 선택되면 전위가 증가하고, 이에 따라 스위칭용 TFT(1701)은 도전 상태로 되게 된다.

이에 따라 스위칭용 TFT(1701)를 거쳐 소스 신호선(1707)의 전위(204)가 EL 구동용 TFT(1702)와 보류용량(1704)에 입력된다.

스위칭용 TFT(1701)가 도전 상태에 있게 되면 EL 구동용 TFT(1702)의 게이트 전극의 전위(203)는 소스 신호선(1707)의 전위(204)와 동일하게 된다. 도 2A 내지 도 2C의 경우 스위칭용 TFT(1701)이 도전 상태에 있게 되는 시점에서 소스 신호선(1707)의 전위(204)는 로우(L0)신호이고, 따라서 EL 구동용 TFT(1702)의 게이트 전극의 전위(203)는 강하하게 된다. 이 시점에서는 EL 구동용 TFT(1702)의 게이트와 소스간 전압의 절대값이 커지게 되고, 그 결과 EL 구동용 TFT(1702)는 도전 상태로 된다. 그 결과, EL 소자(1703)에 전류가 흐르게 되어, 점등되게 된다. 만일 소스 신호선(1707)의 전위(204)가 하이(H1)일 경우에는 EL 소자(1703)는 점등되지 않는다.

도 2A 내지 도 2C에서 점선 X-X'로 표시된 타이밍에서는 리셋 신호선(1712)에 로우신호가 입력되고, 이에 따라 리셋용 TFT(1705)는 도전 상태로 된다. 이러한 동작에 의해 EL 구동용 TFT(1702)의 게이트 전극의 전위(203)는 전류공급선(1708)의 전위(205)와 동일하게 되어, 상기 EL 구동용 TFT(1702)의 게이트전압(EL 구동용 TFT(1702)의 소스영역에 관련된 게이트 전극의 전위)은 0V로 된다. 즉, EL 구동용 TFT(1702)의 스레시홀드 전압이 정(positive)의 값으로 변이하면 EL 구동용 TFT(1702)의 게이트전압(EL 구동용 TFT(1702)의 소스영역에 관련된 게이트 전극의 전위)가 0V로되는 시점에서 상기 EL 구동용 TFT(1702)가 도전 상태로 되고, 또한 비표시 기간동안 EL 소자(1703)에 전류가 흐르게 된다. 그 결과, 이 경우에는 비표시 기간이 정상적으로 형성될 수 없다.

그러면 도 2C의 경우를 설명한다. 이 경우에는 스위칭용 TFT, EL 구동용 TFT, 그리고 리셋용 TFT용으로 p채널형 TFT를 사용하는 것을 전제로 각 부의 전위를 설명한다.

먼저, 게이트 신호선(106)의 전위(206)에 관해 설명한다. 상술한 바와 같이, 스위칭용 TFT(101)용으로 p

채널형 TFT가 사용되고, 이에 따라 게이트 신호선(106)이 선택될 때는 전위의 감하가 이루어지고, 그에 따라 상기 스위칭용 TFT(101)는 도전 상태로 된다.

이에 따라 스위칭용 TFT(101)를 거쳐 소스 신호선(107)의 전위(208)가 EL 구동용 TFT(102)와 보유용량(104)에 입력된다.

스위칭용 TFT(101)가 도전 상태에 있게 되면 EL 구동용 TFT(13)의 게이트 전극의 전위(207)는 소스 신호선(107)의 전위(208)와 동일하게 된다. 도 2A 내지 도 2C의 경우 스위칭용 TFT(101)가 도전 상태에 있게 되는 시점에서 소스 신호선(107)의 전위(208)는 로우(L0)신호이고, 따라서 EL 구동용 TFT(102)의 게이트 전극의 전위(207)는 감하하게 된다. 이 시점에서는 EL 구동용 TFT(102)의 게이트와 소스간 전압의 절대값이 커지게 되고, 그 결과 EL 구동용 TFT(102)는 도전 상태로 된다. 그 결과, EL 소자(103)에 전류가 흐르게 되어, 점등되게 된다. 만일 소스 신호선(107)의 전위(208)가 하이(H1)신호일 경우에는 EL 소자(103)는 점등되지 않는다.

도 2A 내지 도 2C에서 점선 X-X'로 표시된 타이밍에서는 리셋 신호선(112)에 로우신호가 입력되고, 이에 따라 리셋용 TFT(105)는 도전 상태로 된다. 이 시점에서 EL 구동용 TFT(102)의 게이트 전극의 전위(207)는 게이트 신호선(106)의 전위(206)와 동일하게 된다. EL 구동용 TFT가 정상적으로 점등되는 경우를 위해 게이트와 소스간 전압을 정(正)의 값(p채널형 TFT를 사용할 경우)으로 설정할 수도 있고, 확실히 소등되도록 설정할 수도 있다. 따라서, 게이트 신호선(106)의 전위(206)를 EL 구동용 TFT(102)의 스레시홀드값의 시프트량에 대응하여 더 높게 설정하면 EL 구동용 TFT(102)의 게이트와 소스간 전압을 정(正)의 값으로 취할 수 있고, 이에 따라 도 2B의 경우와 다르게 EL 구동용 TFT(102)의 스레시홀드값이 정의 값으로 변이되더라도 전류의 흐름을 방지시킬 수 있다.

리셋용 TFT(105)가 비도전 상태로 복귀되면 이 시점에서 EL 구동용 TFT(102)의 게이트와 소스간 전압이 보유용량(104)에 의해 저장되고, 이에 따라 다음 서브프레임 기간동안 EL 소자(103)는 화소예의 신호가입이 행해질 때까지 소등상태를 유지한다.

이하, 상기 화소들을 구성하는 TFT들의 극성과 각부의 전위간의 관계를 설명한다.

1) EL 구동용 TFT용으로 n채널형 TFT를 사용하는 경우

EL 구동용 TFT(102)를 비표시 기간에 확실히 비도전 상태로 되게 할 수 있도록 EL 구동용 TFT(102)의 게이트와 소스간 전압 V_{GS} 를 스레시홀드 전압보다 낮게 하는 것이 필요하다. 이 시점에서는 리셋용 TFT(105)가 도전 상태로 되기 때문에 EL 구동용 TFT(102)의 게이트전위는 게이트 신호선(106)의 전위 V_G 로 되고, 소스 전위는 전류공급선(108)의 전위 V_{SS} 로 된다. 만일 EL 구동용 TFT(102)가 정상적으로 점등상태로 되면 ' $V_G < V_{SS}$ '의 관계가 최소한 성립해야 한다. 게이트 신호선(106)의 전위 V_G 는 EL 구동용 TFT(102)의 열화에 따라 임의로 변화되나, 이 경우 V_G 의 변화는 열화가 진행됨에 따라 감소하는 방향으로 이루어진다. 따라서, 스위칭용 TFT(101)의 게이트전위, 즉 게이트 신호선(106)의 전위 V_G 가 낮은 값을 취하더라도 스위칭용 TFT(101)를 어느 경우에도 비도전 상태로 유지시키기 위해서는 상기 스위칭용 TFT(101)를 항상 비도전 상태에 있게 해야 한다. 따라서, 상기 스위칭용 TFT(101)용으로는 n채널형 TFT를 사용하는 것이 바람직하다.

2) EL 구동용 TFT용으로 p채널형 TFT를 사용하는 경우

EL 구동용 TFT(102)를 비표시 기간에 확실히 비도전 상태로 되게 할 수 있도록 EL 구동용 TFT(102)의 게이트와 소스간 전압 V_{GS} 를 스레시홀드 전압보다 높게하는 것이 필요하다. 이 시점에서는 리셋용 TFT(105)가 도전 상태로 되기 때문에 EL 구동용 TFT(102)의 게이트전위는 게이트 신호선(106)의 전위 V_G 로 되고, 소스 전위는 전류공급선(108)의 전위 V_{SS} 로 된다. 만일 EL 구동용 TFT(102)가 정상적으로 점등상태로 되면 ' $V_G > V_{SS}$ '의 관계가 최소한 성립해야 한다. 게이트 신호선(106)의 전위 V_G 는 EL 구동용 TFT(102)의 열화에 따라 임의로 변화되나, 이 경우 V_G 의 변화는 열화가 진행됨에 따라 증대하는 방향으로 이루어진다. 따라서, 스위칭용 TFT(101)의 게이트전위, 즉 게이트 신호선(106)의 전위 V_G 가 높은 값을 취하더라도 스위칭용 TFT(101)를 어느 경우에도 비도전 상태로 유지시키기 위해서는 상기 스위칭용 TFT(101)를 항상 비도전 상태에 있게 해야 한다. 따라서, 상기 스위칭용 TFT(101)용으로는 p채널형 TFT를 사용하는 것이 바람직하다.

여기서 주지할 점은 리셋용 TFT(105)의 극성이 중요하지는 않으나, 그 리셋용 TFT(105)의 소스와 드레인간 전압을 고려하면 상기의 제 1 경우와 관련해서는 n채널형 TFT를 사용하는 것이 바람직하고, 상기 제 2 경우와 관련해서는 p채널형 TFT를 사용하는 것이 바람직하다는 점이다.

또한, 주지해야 할 점은 비록 도 1A와 도 1B의 경우에는 리셋용 TFT(105)의 소스영역과 드레인영역 중 하나와 스위칭용 TFT(101)의 게이트 전극이 모두 동일한 게이트 신호선(106)에 전기접속되어 있으나, 리셋용 TFT(105)의 소스영역과 드레인영역 중 하나는 도 1A와 도 1B의 경우의 게이트 신호선(106)뿐만 아니라 다른 여하한 게이트 신호선에도 접속될 수 있을 것이라는 점이다.

또한, 실시예에서는 시간 계조방법과 디지털 계조방법을 조합한 구동방법에 관해 논하였으나, 본 발명의 핵심인 리셋용 TFT의 구성은 또한 다른 구동방법에도 적용될 수 있고, 또한 면적 계조방법과 디지털 계조방법을 조합한 구동방법에도 적용될 수 있고, 면적 계조방법, 디지털 계조방법, 그리고 시간 계조방법을 조합한 구동방법에도 적용될 수 있다.

이하, 본 발명의 실시예를 설명한다.

[실시예 1]

도 3A에는 실시예 1에 따른 전자장치의 회로구조 전체가 도시되어 있다. 이에 있어서, 기판(350)의 중앙

에는 화소부(351)가 배열되어 있다. 상기 화소부의 상부에는 소스 신호선들을 제어하기 위한 소스 신호선 구동회로(352)가 배열되어 있고, 화소부(351)의 좌측에는 게이트 신호선들을 제어하기 위한 게이트 신호선 구동회로(353)가 배열되어 있으며, 화소부(351)의 우측에는 리셋 신호선들을 제어하기 위한 리셋 신호선 구동회로(354)가 배열되어 있다. 화소부(351)내에서 점선 박스(300)으로 표시된 부분이 일 화소에 대한 회로부로서, 이에 대한 확대도가 도 3B에 도시되어 있다. 도 3B의 각부의 명칭은 도 1B에 도시된 각부의 명칭과 유사하므로, 생략한다.

그러면 실제 구동에 관해 설명한다. 실시예 1에 있어서는 디지털 계조와 시간 계조를 조합하는 방법에 의해 k -비트(2^k) 계조들이 발현된다. 설명을 간략화시킬 수 있도록 3-비트(즉, $k = 3$)의 계조표현을 행하는 경우를 예를 들어 설명한다. 이 설명에서는 도 3A와 도 3B에 도시된 회로를 참고한다.

도 4A와 도 4B에는 실시예 1에서 설명하는 3-비트 계조표현에 대한 타이밍도가 도시되어 있다. 일 프레임 기간은 3개의 서브프레임 기간 SF_1 내지 SF_3 로 분할되고, 상기 서브프레임 기간들은 어드레스(기입) 기간 T_{a1} 내지 T_{a3} 와, 서스테인(점등) 기간 T_{s1} 내지 T_{s3} 를 각기 가지고 있다. 상기 서스테인(점등) 기간들의 길이는 2승에 비례하도록 설정되고, 따라서 도 4A 및 도 4B의 경우에는 $T_{s1}:T_{s2}:T_{s3} = 2^2:2^1:2^0$ 로 되어 있다.

또한, 어드레스(기입) 기간은 첫번째 행의 게이트 신호선이 선택되는 시점으로부터 최종 행의 게이트 신호선에 대한 선택이 종료되는 시점까지의 기간으로, 따라서 어드레스(기입) 기간 T_{a1} 내지 T_{a3} 는 모두 동일한 길이를 갖는다.

최상위 비트부의 서스테인(점등) 기간 T_{s3} 는 어드레스(기입) 기간 T_{a3} 보다 짧다. 따라서, 도 4A에 도시된 바와 같이 서스테인(점등) 기간 T_{s3} 의 종료 직후 다음 프레임 기간의 어드레스(기입) 기간 T_{a1} 로의 전이가 발생하면 서로 다른 서브프레임 기간들의 어드레스(기입) 기간들이 중복되는 기간이 발생한다. 이 기간에서는 다수의 게이트 신호선들의 동시 선택이 이루어지고, 그 결과 정상적인 화상표시가 수행될 수 없다.

도 4B에 도시된 바와 같이 서스테인(점등) 기간 T_{a3} 의 종료후 리셋 신호선(312)에 신호가 입력되면, EL 소자(303)가 소등되고, 다음 어드레스(기입) 기간이 시작될 때까지의 기간 중에 비표시 기간이 형성된다. 도 5에는 소정의 프레임 기간에서 게이트 신호선(306)과 리셋 신호선(312)의 전위가 도시되어 있다. 실시예 1의 경우에는 리셋용 TFT(305)로서 p채널형 TFT가 사용되고, 따라서 리셋 신호선(312)의 전위가 로우 상태에 있을 때 리셋용 TFT(305)는 도전 상태에 있게 된다. 상기 리셋용 TFT(305)로는 n채널형 TFT를 사용하는 것도 가능하다.

먼저, 서브프레임 기간 SF_1 에서는 게이트 신호선(306)이 선택되고, 소스 신호선(307)로부터 화소로의 신호 기입이 수행된다. 각 행에 대한 화소들로의 신호기입이 완료되면, 서스테인(점등) 기간 T_{s1} 이 즉시 시작된다. 이 동작은 첫번째 행으로부터 최종 행까지 수행된다. 이후, 서브프레임 기간 SF_2 에서 게이트 신호선(306)이 선택되고, 소스 신호선(307)로부터 화소로의 신호기입이 수행된다. 각 행에 대한 화소들로의 신호기입이 완료되면, 서스테인(점등) 기간 T_{s2} 이 즉시 시작된다. 이 동작은 첫번째 행으로부터 최종 행까지 수행된다.

서브프레임 기간 SF_3 에서도 서브프레임 기간 SF_1 및 SF_2 와 유사하게 게이트 신호선(306)이 선택되고, 화소로의 신호기입이 수행된다. 각 행에 대한 화소들로의 신호기입이 완료되면, 서스테인(점등) 기간 T_{s3} 이 즉시 시작된다. 이 동작은 첫번째 행으로부터 최종 행까지 수행된다. 서스테인(점등) 기간 T_{s3} 은 어드레스(기입) 기간 T_{a3} 보다 짧고, 그 결과 어드레스(기입) 기간 T_{a3} 가 종료되기 전에, 즉 첫번째 행의 게이트 신호선을 선택하기 위한 기간이 종료되기 전에 첫번째 행의 서스테인(점등) 기간 T_{s3} 이 종료된다. 첫번째 행의 서스테인(점등) 기간 T_{s3} 이 종료되면 즉시 첫번째 행의 리셋 신호선에 리셋신호가 입력되어 리셋용 TFT(305)가 도전 상태로 되며, 보유용량(304)의 두 전극들간의 전위차, 즉 EL 구동용 TFT(302)의 게이트와 소스간 전압이 게이트 신호선(306)과 전류공급선(308)간의 전위차와 동일하게 된다. 따라서, EL 구동용 TFT(302)는 비도전 상태로 되고, EL 소자(303)에 대한 전류공급이 차단된다. 이 시점에서 EL 구동용 TFT(302)의 게이트와 소스간 전압은 리셋용 TFT(305)가 비도전 상태로 복귀한 후에도 보유용량(304)에 의해 저장된다. 따라서, EL 소자(303)는 다음 서브프레임 기간중에 화소로의 신호기입이 행해질 때까지 계속 소등상태로 유지된다.

EL 구동용 TFT(302)의 스레시홀드 전압이 정의 값으로 변이되는 경우에는 게이트 신호선(306)의 전위를 상승시킬 필요가 있다. 이와 같이 함으로써, 보유용량(304)의 두 전극들간의 전위차, 즉 EL 구동용 TFT(302)의 게이트와 소스간 전압(EL 구동용 TFT(302)의 소스영역과 관련된 게이트 전극의 전위)를 임의로 제어할 수 있다.

실시예 1에 도시된 구동방법에 따르면 리셋신호가 입력되는 타이밍을 변화시키는 것에 의해 서스테인(점등) 기간의 길이를 자유롭게 설정하는 것이 가능하다. 통상적인 디지털 계조와 시간 계조를 조합하는 표시방법에서 최소단위보다 짧은 서스테인(점등) 기간을 갖는 서브프레임 기간의 경우에도 정상적인 화상 표시가 가능하다.

또한, EL 구동용 TFT(302)가 정상적으로 점등되는 경우라도 이를 비도전 상태에서 게이트 신호선(306)의 전위를 변화시키는 것에 의해 다루는 것이 가능하다.

[실시예 2]

실시예 2에서는 동일 기판상에 화소부와, 그 화소부의 주변에 위치하는 구동회로 TFT(N채널형 및 P채널형)를 동시에 제조하는 방법에 관해 구체적으로 설명한다.

먼저, 도 6A에 도시된 바와 같이 대표적으로 코닝사의 #7059 유리 또는 #1737 유라인 바륨 붕규산 유리 또는 일루미노 붕규산 유리와 같은 유리재로 된 기판(5001)상에 산화규소막, 질화규소막, 또는 산화질화규소막과 같은 절연막으로 된 하지막(5002)을 형성한다. 일례로, 하지막(5002)은 플라즈마 CVD법을 이용하여 SiH_4 , HN_3 , N_2O 로부터 10 내지 200 nm(바람직하게는 50 내지 100 nm)의 두께로 형성한 산화질화규소막(5002a)과, 유사한 방법으로 SiH_4 와 N_2O 로부터 50 내지 200 nm(바람직하게는 100 내지 150 nm)의 두께로 형성한 산화질화규소 수산화막(5002b)을 적층하여 형성한다. 실시예 2의 경우, 상기 하지막(5002)은 이중 구조로 도사되어 있으나, 단층 구조의 절연막 또는 다층 구조의 절연막을 적용하는 것도 가능하다.

부호 5003 내지 5006은 선행상 반도체층으로서, 이 선행상 반도체층(5003 내지 5006)은 레이저 결정화방법 또는 열결정화방법을 이용하여 비정질구조를 갖는 반도체막을 결정화시킴으로써 얻어지는 결정성 반도체막으로 구성된다. 상기 선행상 반도체층(5003 내지 5006)은 25 내지 80 nm (바람직하게는 30 내지 60 nm)의 두께를 갖는다. 상기 결정성 반도체막의 재료에는 제한이 없으나, 규소 또는 규소게르마늄합금(SiGe)을 사용하는 것이 바람직하다.

레이저 결정화방법에 의해 결정성 반도체막을 형성하는 경우에는 펄스발진형 또는 연속방출형 엑시머 레이저, YAG 레이저 또는 YVO_4 레이저를 사용한다. 이러한 레이저를 사용하는 경우에는 레이저 발진기로부터 방사되는 레이저광을 광학계에 의해 선형 비임으로 집광한 상태에서 반도체막에 조사하는 방법을 사용하는 것이 적합하다. 엑시머 레이저를 사용하는 경우에는 작업자가 결정화조건을 적절히 선택해야 하지만, 발진주파수는 30Hz로 설정하고, 레이저 에너지밀도는 100 내지 400 mJ/cm^2 (전형적으로는 350 내지 500 mJ/cm^2)로 설정한다. 또한, YAG 레이저를 사용하는 경우에는 제 2 고조파를 사용하고, 펄스발진주파수를 1 내지 10 kHz로 설정하고, 레이저 에너지밀도를 300 내지 600 mJ/cm^2 (전형적으로, 350 내지 500 mJ/cm^2)로 설정하는 것이 바람직하다. 이러한 조건하에서는 100 내지 1,000 μm , 일례로 400 μm 의 폭을 갖는 선형 구조로 집광된 레이저광이 기판의 표면전체에 조사되고, 이때의 선형 레이저광의 중첩비는 80 내지 98%로 설정된다.

그 다음, 선행상 반도체층(5003 내지 5006)을 덮는 게이트 절연막(5007)을 형성한다. 이 게이트 절연막(5007)은 플라즈마 CVD법 또는 스퍼터링법을 이용하여 규소를 함유하는 절연막을 40 내지 150 nm의 두께로 형성함으로써 구성된다. 실시예 2의 경우, 게이트 절연막(5007)은 120 nm의 두께를 갖는 산화질화규소막으로 구성된다. 물론, 게이트 절연막은 이러한 산화질화규소막으로 한정되지 않고, 규소를 함유하는 다른 절연막을 단층구조 또는 적층구조로 하여 사용할 수도 있다. 일례로, 산화규소막을 사용하는 경우에는 TEOS (테트라에틸 오르토실리케이트)와 O_2 를 40 Pa의 반응압력과 300 내지 400°C의 기판온도에서 플라즈마 CVD법에 의해 플라즈마 혼합하고, 고주파수(13.56 MHz)에서 그리고 0.5 내지 0.8 W/cm^2 의 전력밀도를 사용하여 방전을 행하여 상기 막을 형성한다. 이와 같이 하여 형성한 산화규소막을 400 내지 500°C에서 어닐하여 게이트절연막의 우수한 특성을 얻게 한다.

이 후, 게이트 절연막(5007)상에 게이트 전극을 형성시키기 위해 제 1 도전막(5008)과 제 2 도전막(5009)을 형성한다. 실시예 2의 경우, 제 1 도전막(5008)은 50 내지 100 nm의 두께를 갖는 Ta막으로 형성되며, 제 2 도전막(5009)은 100 내지 300 nm의 두께를 갖는 W막으로 형성된다.

상기 Ta막은 타겟으로서 Ta를 사용한 상태에서 Ar을 스퍼터링시켜 형성한다. 이 경우, 스퍼터링을 위해 Ar에 적당량의 Xe 또는 Kr를 첨가하는 경우에는 Ta막의 내부응력을 감감시킬 수 있고, 이에 따라 막의 박리를 방지할 수 있다. α -상 Ta막의 고유저항은 약 20 $\mu\Omega\text{cm}$ 이므로, 이 막은 게이트 전극으로 사용할 수 있다. 그러나, β -상 Ta막의 비저항은 약 180 $\mu\Omega\text{cm}$ 이고, 따라서 이 막은 게이트 전극으로 사용하기에 적합하지 않다. Ta의 α -상에 가까운 결정구조를 갖는 질화탄탈을 Ta배이스로서 약 10 내지 50 nm의 두께로 형성하면 α -상 Ta막을 쉽게 형성할 수 있다.

상기 W막은 W타겟을 스퍼터링하여 형성한다. 이 외에도 W막은 6불화 텅스텐(WF_6)을 사용하여 열 CVD법에 의해 형성할 수 있다. 어느 방법을 사용하든지간에 게이트 전극으로 사용하기 위해서는 사용 물질이 낮은 저항을 가질 필요가 있다. W막의 비저항은 20 $\mu\Omega\text{cm}$ 이하로 설정하는 것이 바람직하다. 결정립도를 크게 하면 W막의 비저항을 낮추는 것이 가능하다. 그러나, W막내에 산소와 같은 불순물원소가 다량 존재할 경우에는 결정화가 억제되어 저항이 높아지게 된다. 따라서, 99.9999%의 순도를 갖는 W타겟을 사용하여 W막을 형성하고, 또한 막형성 중에 가스상의 내부로부터 불순물의 혼합이 이루어지지 않도록 충분히 고려를 하면 9 내지 20 $\mu\Omega\text{cm}$ 의 비저항을 실현할 수 있다.

여기서 주지할 점은 실시예 2의 경우 비록 Ta막과 W막을 제 1 도전막(5008)과 제 2 도전막(5009)으로 각기 사용하였지만 상기 도전막들의 물질에 대한 제한은 없다는 점이다. 제 1 도전막(5008)과 제 2 도전막(5009)들은 Ta, W, Ti, Mo, Al, Cu로 구성되는 군에서 선택한 원소, 또는 상기 원소를 주성분으로 함유하는 합금물질 또는 화합물로 형성할 수도 있다. 또한, 대표적으로 인과 같은 불순물이 도핑된 다결정 규소막인 반도체막을 사용할 수도 있다. 다른 조합의 예로는 제 1 도전막은 질화탄탈(TaN)으로 형성하고 제 2 도전막은 W로 형성하여서 되는 조합, 제 1 도전막은 질화탄탈(TaN)으로 형성하고 제 2 도전막은 Al으로 형성하여서 되는 조합, 제 1 도전막은 질화탄탈(TaN)으로 형성하고 제 2 도전막은 Cu로 형성하여서 되는 조합을 들 수 있다.

이 후, 레지스트로 마스크(5010)를 형성하여 전극들과 배선들을 형성하기 위한 제 1 에칭공정을 행한다. 실시예 2의 경우에는 유도결합 플라즈마(ICP: Inductively Coupled Plasma) 에칭방법을 사용하고, 에칭 가스로서 CF_4 및 Cl_2 의 혼합물을 사용하여 에칭을 행하고, 플라즈마를 발생시키기 위해 1 Pa의 압력에서 코일형 전극에 500 W RF(13.56 MHz)의 전력을 입력한다. 또한, 기판측(시료 단계)에는 100 W RF(13.56 MHz)의 전력을 입력하여, 대체로 부(負)의 자기 바이어스전압을 인가한다. CF_4 와 Cl_2 가 혼합되면, W막과 Ta막은 대체로 동일한 속도로 에칭될 수 있다.

상술한 조건하에서는 레지스트로 구성되는 마스크의 형태가 적당한 형태로 되고, 그 결과 제 1 도전막과 제 2 도전막의 가장자리부분들이 기판측에 인가되는 바이어스 전압으로 인해 테이퍼 형태를 갖게 된다.

태이퍼부분의 각도는 15 내지 45°로 설정된다. 게이트 절연막상에 잔유물을 남김이 없이 에칭을 이룰 수 있도록 에칭시간은 10 내지 20% 정도의 비율로 증가시키는 것이 바람직하다. W막에 대한 산화질화규소막의 선택도는 2 내지 4(전형적으로는 3)이고, 이에 따라 산화질화규소막의 노출면은 과도에칭법에 의해 약 20 내지 50 nm의 깊이로 에칭되게 된다. 그리하여, 일차에칭공정에 의해 제 1 도전막과 제 2 도전막으로 부터 일차형태의 도전층(5011 내지 5016)(제 1 도전층(5011a 내지 5016a) 및 제 2 도전층(5011b 내지 5016b))들이 형성된다. 이 때, 일차 형태의 도전층(5011 내지 5016)이 덮히지 않은 영역에 해당하는 게이트 절연막(5007)의 부분들은 약 20 내지 50 nm의 깊이로 에칭되고, 이에 따라 두께감소영역들이 형성된다(도 6A).

이 후, n형 불순물원소를 주입하기 위해 일차 도핑처리를 행한다. 이 도핑은 이온도핑 또는 이온주입에 의해 이루어질 수 있다. 이온도핑방법을 사용할때의 조건으로서 도즈량은 1×10^{13} 내지 5×10^{14} 원자/cm²으로 하고, 가속전압은 60 내지 100 keV로 한다. n형 불순물원소로는 15족에 속하는 원소, 대표적으로 인(P) 또는 비소(As)를 사용할 수 있다. 여기서, 인(P)을 사용한다. 이 경우, 도전층(5011 내지 5015)는 상기 n형 불순물원소에 대한 마스크로서 작용하며, 제 1 불순물영역(5017 내지 5025)이 자기정합방식으로 형성된다. 상기 제 1 불순물영역(5017 내지 5025)에는 n형 불순물원소가 1×10^{20} 내지 1×10^{21} 원자/cm³의 농도로 주입된다.

이 후, 도 6C에 도시된 바와 같이 이차에칭공정을 행한다. 이에 있어서는 상기와 유사하게 ICP에칭방법을 사용하며, 에칭기로서 CF₄, Cl₂, O₂의 혼합물을 사용한다. 또한, 플라즈마를 발생시키기 위해 1 Pa의 압력에서 코일형 전극에 500 W의 RF 전력(13.56 MHz)을 인가한다. 기판(시료 단계)측에도 50 W의 RF(13.56 MHz)의 전력을 인가하고, 또한 일차에칭처리때보다 낮은 자기 바이어스전압을 인가한다. 이러한 조건에 따라 W막은 비등방성 에칭을 이루고, Ta막도 보다 감소된 에칭속도로 비등방성 에칭을 이루게 되어, 이차형태의 도전층(5026 내지 5031)(제 1 도전층(5026a 내지 5031a) 및 제 2 도전층(5026b 내지 5031b))이 형성된다. 이 때, 이차 형태의 도전층(5026 내지 5031)이 덮히지 않은 영역들은 약 20 내지 50 nm의 깊이로 에칭되고, 이에 따라 두께감소영역들이 형성된다.

CF₄와 Cl₂의 혼합가스에 의한 W막 또는 Ta막의 에칭반응은 발생하는 라디칼 또는 이온종들과 반응생성물의 증기압에 기인하는 것으로 추정된다. W와 Ta의 불화물 및 염화물의 증기압을 비교할 때 W의 불화물들 중 WF₆은 증기압이 아주 높고, 반면 WCl₅, TaF₅, TaCl₅들은 대체로 동일한 증기압을 가지고 있다. 따라서, CF₄와 Cl₂의 혼합가스에서는 W막과 Ta막이 모두 에칭된다. 그러나, 상기 혼합가스에 적당량의 O₂를 첨가하는 경우에는 CF₄와 O₂가 서로 반응하여 CO와 F를 형성시키고, 다량의 F 라디칼 또는 F 이온들을 생성시킨다. 그 결과, 불화물의 높은 증기압을 나타내는 W막의 에칭속도가 증가하게 된다. 한편, Ta에 비해 F를 증가시키더라도 에칭속도는 비교적 약간만 증가하게 된다. 이에 반해 T는 W에 비해 쉽게 산화되기 때문에 O₂의 첨가로 인해 Ta의 표면은 쉽게 산화된다. Ta의 산화물은 불소 또는 염소와 반응하지 않기 때문에 Ta막의 에칭속도는 더욱 감소한다. 따라서, W막과 Ta막의 에칭속도를 서로 다르게 하는 것이 가능하고, 이에 따라 W막의 에칭속도를 Ta막의 에칭속도보다 높게하는 것이 가능하다.

이 후, 이차도핑처리를 도 7A에 도시된 바와 같이 행한다. 이 경우, 도즈량은 상기 일차도핑처리시보다 적게 하고, 가속전압을 높게 한 상태에서 n형 불순물원소를 도핑시킨다. 일례로, 가속전압은 70 내지 120 keV로 하고, 도즈량을 1×10^{13} 원자/cm²으로 하여 도핑처리를 행함에 따라 제 1 불순물영역내부에 새로운 불순물영역들을 형성하고, 이에 따라 도 6B에 도시된 심형상 반도체층들을 형성한다. 상기 도핑은 제 2 도전층(5026a 내지 5030a)의 아래 영역에 불순물원소를 주입하도록 이차형태의 도전층(5026 내지 5030)을 마스크로 사용하여 행한다. 이에 따라, 제 2 도전층(5026a 내지 5030a)과 중첩되는 제 3 불순물영역(5032 내지 5041)과, 상기 제 1 불순물영역들과 제 3 불순물영역들 사이에 위치하는 제 2 불순물영역(5042 내지 5051)을 형성한다. n형 불순물원소의 농도는 제 2 불순물영역의 농도를 1×10^{17} 내지 1×10^{19} 원자/cm³로 하고, 제 3 불순물영역의 농도를 1×10^{16} 내지 1×10^{18} 원자/cm³로 할 수 있게 설정된다.

이 후, 도 7B에 도시된 바와 같이 제 4 불순물영역(5052 내지 5074)을 형성한다. 상기 제3 불순물영역(5052 내지 5074)은 p채널형 TFT들을 형성할 수 있도록 심형상 반도체층(5004 내지 5006)의 제 1 도전성과 반대의 도전성을 갖는다. 상기 불순물영역들을 자기정합방식으로 형성시킬 수 있도록 불순물원소에 대한 마스크로서 제 2 도전층(5027b 내지 5030b)을 사용한다. 이 때, n형 TFT를 형성하는 상기 심형상 반도체층(5003)과 배선부(5031)들은 레지스트 마스크(5200)들로 덮인다. 이러한 상태에서 불순물영역(5522 내지 5524)에 인을 각기 다른 농도로 주입한다. 그러나, 상기 영역들은 디보란(B₂H₆)을 사용하여 이온 도핑을 행하여 형성하고, 불순물농도는 모든 영역에서 2×10^{20} 내지 1×10^{21} 원자/cm³로 되게 한다.

지금까지의 공정에 따라 상기한 불순물영역들이 각 심형상 반도체층들에 형성되게 된다. 심형상 반도체층과 중첩되는 제 2 도전층(5026 내지 5030)들은 게이트 전극으로서 작용하게 된다. 또한 배선부(5031)는 심형의 소스 신호선으로서 작용하게 된다.

이 후, 상기한 방식으로 도전형태를 제어할 목적으로 각 심형상 반도체층에 주입된 불순물원소를 활성화시키는 공정을 도 7C에 도시된 바와 같이 행한다. 이 공정은 퍼니스 어닐 오븐(furnace annealing oven)을 사용하는 열 어닐방법에 의해 행한다. 이 외에, 레이저 어닐방법 또는 급속 열 어닐법(RTA: Rapid Thermal Annealing)을 적용할 수도 있다. 상기 열 어닐방법은 400 내지 700°C, 전형적으로는 500 내지 600°C의 온도에서 그리고 1 ppm이하, 바람직하게는 0.1 ppm이하의 산소농도를 갖는 질소분위기에서 행한다. 그러나, 제 2 도전층(5026 내지 5031)용으로 사용하는 배선물질이 열에 약한 경우에는 상기 배선층들을 보호할 수 있도록 층간절연막(주성분으로서 규소를 함유하는)을 형성한 후 활성화를 행하는 것이 바람직하다.

또한, 3 내지 100%의 수소를 함유하는 분위기에서 그리고 300 내지 450°C의 온도에서 1 내지 12시간 열처리를 하여 상기 심형상 반도체층들을 수소화시키는 공정을 행한다. 이 공정은 열적으로 여기된 수소를 이

용하여 반도체층의 냉각링본드를 중식시키는 공정이다. 다른 수소화수단으로서 플라스마 수소화(플라스마에 의해 여기된 수소를 이용)를 행할 수도 있을 것이다.

이 후, 도 8A에 도시된 바와 같이 산화질화규소막을 이용하여 제 1 층간절연막(5075)을 100 내지 200 nm의 두께로 형성하고, 그 상부에 유기절연물질을 사용하여 제 2 층간절연막(5076)을 형성한다. 그 뒤에, 상기 제 1 층간절연막(5075), 제 2 층간절연막(5076), 그리고 게이트 절연막(5007)에 콘택트 홀들을 형성한다. 각 배선(5077 내지 5082, 5084)(접속배선 및 신호배선 포함)을 패터닝시킨 후, 패터닝에 의해 접속배선(5082)과 접속하는 화소전극을 형성한다.

상기 제 2 층간절연막(5076)으로는 유기수지로운 막을 사용하고, 이러한 유기수지로는 폴리이미드, 폴리이미드, 아크릴수지, BCB(벤조시클로부텐) 등등을 사용할 수 있다. 특히, 제 2 층간절연막(5076)은 평탄화의 목적이 있기 때문에 평탄도기 우수한 아크릴수지를 사용하는 것이 바람직하다. 본 실시예의 경우에는 아크릴수지막을 상기 TFT들에 의해 형성된 단차부들을 적절히 평탄화시킬 수 있는 두께로 형성한다. 상기 두께는 1 내지 5 μm 로 하는 것이 바람직하다(가장 바람직하게는 2 내지 4 μm).

상기 콘택트 홀들의 형성은 건식etching 또는 습식etching을 이용하여 행한다. n형 불순물영역(5017, 5018) 또는 p형 불순물영역(5052 내지 5074)까지 연장되는 콘택트 홀들, 배선(5031)까지 연장되는 콘택트 홀, 전류 공급선(도시 안됨)까지 연장되는 콘택트 홀, 게이트 전극까지 연장되는 콘택트 홀(도시 안됨)을 각각 형성한다.

또한, 배선(5077 내지 5082, 5084)(접속선 및 신호선 포함)으로서 3층구조의 적층막을 사용하고, 이 적층막을 형성하기 위해 100 nm의 두께를 갖는 Ti막과, 300 nm의 두께를 갖는 Ti함유 알루미늄과, 150 nm의 두께를 갖는 Ti막을 차례로 스퍼터링시켜 연속적으로 형성한 후, 소정의 형태로 패터닝시킨다. 물론, 다른 도전막을 사용할 수도 있다.

또한, 실시예 2에 있어서는 화소전극(5083)으로서 110 nm의 두께를 갖는 ITO막을 형성한 후 패터닝시킨다. 상기 화소전극(5083)을 접속배선(5082)과 중첩시켜 그와 접촉시킴으로써 콘택을 형성한다. 또한, 2 내지 20%의 산화아연을 산화인듐과 혼합하여서 형성한 투명한 도전막을 사용할 수도 있다. 이 화소전극(5083)은 EL 소자의 양극으로서 적용하게 된다(도 8A).

이 후, 도 8B에 도시된 바와 같이 규소함유 절연막(실시예 2의 경우에는 산화규소막)을 500 nm의 두께로 형성하고, 화소전극(5083)에 대응하는 위치에 개구를 형성하여, 제 3 층간절연막(5085)을 형성한다. 상기 개구의 형성이 습식etching방법을 이용하면 테이퍼형의 측벽들을 쉽게 형성할 수 있다. 상기 개구의 측벽들이 상당히 평탄하게 되면 단차로 인한 EL 층의 열화가 주목할만한 문제로 된다.

이 후, EL 층(5086)과 음극(MgAg 전극)(5087)들을 대기에 노출시키지 않는 상태로 증기증착을 행하여 연속적으로 형성한다. 여기서 주지할 점은 EL 층의 두께를 80 내지 200 nm(전형적으로 100 내지 120 nm)으로 설정하는 것이 바람직하고, 음극(5087)의 두께는 180 내지 300 nm(전형적으로 200 내지 250 nm)으로 설정하는 것이 바람직하다는 점이다.

이 단계에서, 상기 EL 층과 음극은 적색, 녹색, 청색에 각각 대응하는 화소들과 관련하여 순차적으로 형성된다. 여기서 주지할 점은 상기 EL 층은 용해에 대한 저항성이 없기 때문에 포토리토그라피기술을 사용하지 않고 각 색별로 개별적으로 형성하여야 한다는 점이다. 이러한 이유때문에 금속 마스크를 이용하여 원하는 화소들 이외의 부분들을 마스크시킨 상태에서 EL 층과 음극을 요구되는 부분에만 선택적으로 형성한다.

다시 말하자면, 적색에 대응하는 화소들을 제외한 부분 전체를 마스크시키는 마스크를 먼저 셋팅하고, 이 마스크를 이용하여 적색을 발광하는 EL 층과 음극을 선택적으로 형성한다. 그 뒤에, 녹색에 대응하는 화소들을 제외한 부분 전체를 마스크시키는 마스크를 셋팅하고, 이 마스크를 이용하여 녹색을 발광하는 EL 층과 음극을 선택적으로 형성한다. 이어서, 상기와 유사한 방식으로 청색에 대응하는 화소들을 제외한 부분 전체를 마스크시키는 마스크를 먼저 셋팅하고, 이 마스크를 이용하여 청색을 발광하는 EL 층과 음극을 선택적으로 형성한다. 여기서 주지할 점은 상기의 경우 각 경우마다 다른 마스크를 사용하는 것으로 설명하였으나, 모든 경우에 대해 동일한 마스크를 사용하는 것도 가능하다는 점이다. 또한, 상기의 공정 단계들은 모든 화소와 관련된 EL 층들과 음극들이 모두 형성될 때까지 진공을 유지한 상태에서 진행되는 것이 바람직하다.

상기 경우에 사용하는 시스템은 RGB에 각각 대응하는 3종류의 EL 소자들을 형성하는 시스템이다. 그러나, 다른 시스템들을 사용하는 것도 가능하다. 이러한 시스템들로는 백색을 발광하는 EL 소자와 색 필터가 조합되어 있는 시스템, 청색 또는 청녹색을 발광하는 EL 소자와 형광체(형광색변환층: CCM)가 조합되어 있는 시스템, 그리고 음극(반대전극)용으로 투명전극을 사용하고 그 투명전극에 RGB에 대응하는 EL 소자가 중첩되어 있는 시스템을 들 수 있다.

여기서 주지해야 할 점은 상기 EL 층(5086)용으로는 공지의 물질을 사용할 수 있다는 점이다. 상기 공지의 물질로는 구동전압을 고려할 때 유기물질을 사용하는 것이 바람직하다. 일례로, 포지티브 정공주입층, 포지티브 전달층, 발광층, 및 전자주입층들로 구성되는 4층 구조를 EL층으로 사용할 수도 있을 것이다. 또한, 실시예 2에서는 EL 소자의 음극으로서 MgAg 전극을 사용하는 예를 예시하였으나, 다른 공지의 물질을 사용할 수도 있을 것이다.

이 후, 상기 EL층과 음극을 덮는 보호전극(5088)을 형성한다. 이 보호전극(5088)용으로는 알루미늄을 주 성분으로 함유하는 도전층을 사용할 수 있을 것이다. 상기 보호전극(5088)은 상기 EL층과 음극을 형성하기 위해 사용한 마스크와는 다른 마스크를 이용한 상태에서 증기증착을 행하여 형성할 수 있을 것이다. 또한, 상기 보호전극(5088)은 공기에 노출시키지 않는 상태로 상기 EL층과 음극의 형성 후 연속적으로 형성하는 것이 바람직하다.

최종적으로, 질화규소막으로 구성된 패시베이션막(5089)을 300 nm의 두께로 형성한다. 상기 보호막(5088)은 실제로 EL층을 수분 등등으로부터 보호하는 역할을 한다. 그러나 EL층의 신뢰성은 보호막(5088)에

추가로 패시베이션막(5089)를 형성함으로써 증대될 수 있을 것이다.

이와 같이 하여, 도 8B에 도시된 구조를 갖는 액티브 매트릭스형 전자장치의 형성이 완료된다. 여기서 주지할 점은 실시예 2에 따른 액티브 매트릭스형 전자장치의 제조단계들에서는 회로구조들과 그의 제조공정들을 고려하여 소스배선을 게이트 전극을 형성하는데 사용한 Ta 또는 W로 형성하고, 게이트배선을 소스전극 및 드레인전극을 형성하는데 사용한 Si로 형성한다는 점이다. 그러나, 다른 물질을 사용하는 것도 가능하다.

또한, 주지할 점으로는 실시예 2에 따른 액티브 매트릭스형 기판에 화소부뿐만 아니라 구동회로부에도 가장 적합한 구조를 갖는 TFT를 제공함에 따라 아주 우수한 신뢰성과 향상된 동작특성을 얻을 수 있다는 점을 들 수 있다. 또한, 결정화단계에서 Ni와 같은 금속성 촉매를 첨가하여 결정도를 증대시키는 것도 가능하다. 그 결과, 소스 신호선 구동회로의 구동주파수를 10 MHz이상으로 만들 수 있다.

우선적으로, 동작속도가 저하하는 것을 가능한 한 방지할 수 있도록 상기 구동회로부를 형성하는 CMOS회로의 n채널형 TFT로서 핫캐리어주입을 저하시킬 수 있는 구조를 갖는 TFT를 사용한다. 여기서 주지할 점은 본 명세서에서 언급되는 구동회로가 시프트레지스터, 버퍼, 레벨 시프터, 선순차 구동기의 래치, 점순차 구동기의 전달게이트 등을 포함한다는 점이다.

실시예 2의 경우, 상기 n채널형 TFT의 활성층은 소스영역, 드레인영역, G0L0영역, L0D0영역, 채널형성영역을 포함하고, 상기 G0L0영역은 게이트절연막을 통해 게이트 전극과 중첩되어 있다.

또한, 상기 CMOS회로의 p채널형 TFT의 경우에는 상기한 핫 캐리어주입으로 인한 열화를 걱정할 필요가 없고, L0D0영역을 특별히 제공할 필요는 없다. 물론 상기 n채널형 TFT에서와 마찬가지로 핫 캐리어에 대한 조치수단으로 L0D0영역을 형성할 수도 있을 것이다.

또한, 상기 구동회로에서 채널형성영역내에서 전류가 압축방향으로 흐르게 되어 있는 CMOS회로, 즉 소스영역의 역할과 드레인영역의 역할이 서로 바뀌게 되어 있는 CMOS회로를 사용하는 경우에는 상기 CMOS회로를 형성하는 n채널형 TFT는 L0D0영역들이 채널형성영역의 양측에 그 채널형성영역을 합친 상태로 형성될 수 있게 형성하는 것이 바람직할 것이다. 이에 대한 예로, 점순차 구동에 사용하는 전달 게이트 등을 들 수 있다. 또한 상기 구동회로에서 오프전류값을 가능한 한 낮은 CMOS회로를 사용하는 경우에는 상기 CMOS회로를 형성하는 n채널형 TFT는 L0D0영역들이 게이트 절연막을 통해 게이트 전극과 부분적으로 중첩되게 하는 구조를 갖는 것이 바람직하다. 이에 대한 예로는 점순차 구동용으로 사용되는 전달게이트 등을 들 수 있다.

여기서 주지해야 할 점은 실제의 경우 만일 도 8B에 도시된 상태에서는 높은 기밀도를 가지며 탈가스성이 낮은 보호막(적층막, 적외선경회 수지막, 등등) 또는 투명한 밀봉물질에 의해 패키징(포장)을 행하여 공기의 노출로부터 보호하는 것이 바람직하다는 것이다. 이 때, 만일 밀봉재의 내부에 불활성 분위기를 조성하거나 흡습물질(일례로, 산화비흡)을 내재시키는 경우에는 EL 소자의 신뢰성이 증대된다.

또한, 패키징과 같은 공정에 의해 기밀도가 증대되면 선도단자와 외부신호단자를 연결시키기 위한 커넥터(기요성 인쇄회로: FPC)를 부착하여 제품을 완성한다. 본 명세서에서 전자장치란 선택할 수 있는 상태로 완성된 제품을 의미한다.

또한, 실시예 2에 따르면 액티브 매트릭스형 기판의 제조에 필요한 포토마스크의 개수는 5개로서, 이는 섬형성 반도체층 패턴, 제 1 배선패턴(게이트배선, 섬형소스배선, 그리고 용량배선), n채널 영역용 마스크패턴, 콘택트 홀 패턴, 그리고 제 2 배선패턴(화소전극과 접속전극을 포함)들이다. 그 결과, 제조공정을 단축시킬 수 있고, 그 결과 제조비의 감소와 수율의 개선을 이룰 수 있다.

[실시예 3]

실시예 3에서는 본 발명의 이용하여 전자장치를 제조하는 예를 설명한다.

도 9A는 본 발명을 이용하는 전자장치의 평면도이고, 도 9B는 도 9A의 선 X-X' 따라 취한 단면도이다. 도 9A에서, 부호 4001은 기판, 부호 4002는 화소부, 부호 4003은 소스신호측 구동회로, 부호 4004는 게이트신호측 구동회로를 각기 나타낸다. 상기 구동회로들은 FPC(4008)를 통해 그리고 배선(4005 내지 4007)을 통해 외부장치에 접속되어 있다.

최소한 화소부를, 바람직하게는 구동회로들과 화소부를 모두 밀봉할 수 있도록 거버런스(4009)와, 기밀용 밀봉재(4010), 밀봉재(하우징재로도 언급됨)(4011)(도 9B에 도시)를 형성한다.

또한, 도 9B에는 본 발명의 전자장치에 대한 단면구조가 도시되어 있다. 기판(4001)상의 하지막(4012)상에 구동회로 TFT(4013)(여기서는 n채널형 TFT와 p채널형 TFT가 조합된 CMOS회로가 도시됨)와, 화소부 TFT(4014)(여기서는 EL 소자로 흐르는 전류를 제어하기 위한 EL 구동용 TFT만이 도시됨)들을 형성한다. 상기 TFT들은 공지의 구조(상부게이트구조 또는 하부게이트구조)를 이용하여 형성시킬 수 있을 것이다.

구동회로 TFT(4013)와 화소부 TFT(4014)의 형성이 완료된 후, 수지물질로 구성된 층간절연막(평탄화막)(4015)상에 화소전극(4016)을 형성한다. 상기 화소전극(4016)은 화소부 TFT(4014)의 드레인에 대한 전기접속을 위해 투명도전막으로 형성한다. 이 투명도전막으로는 산화인듐과 산화주석의 화합물(ITO) 또는 산화인듐과 산화아연의 화합물을 사용할 수 있다. 화소전극(4016)의 형성후 절연막(4017)을 형성하고, 상기 화소전극(4016)상에 개방부를 형성한다.

이어 EL층(4018)을 형성한다. 이 EL층(4018)은 공지된 EL 재료들(정공주입층, 정공전달층, 발광층, 전자전달층, 및 전자주입층과 같은)을 임의로 조합하여 적층구조 또는 단층구조를 갖게 형성할 수 있을 것이다. 사용할 구조를 결정하는데에는 공지의 기술을 이용할 수 있을 것이다. 또한, EL 재료들은 저분자량 물질 및 고분자량(중합체) 물질의 형태로 존재한다. 저분자량 물질을 사용하는 경우에는 증착이 이용되지만, 고분자량 물질을 사용하는 경우에는 스핀 코팅, 인쇄, 잉크젯 인쇄와 같은 보다 용이한 방법들을 이용하는 것이 가능하다.

본 실시예의 경우, 상기 EL층은 새로운 마스크를 사용하여 증착을 행함으로써 형성한다. 색표시는 각기

다른 파장을 갖는 광을 발광할 수 있는 층들(적색발광층, 녹색발광층, 청색발광층)을 각 화소마다 세도우 마스크를 이용하여 형성시킴으로써 가능하게 된다. 또한, 전하결합층(CCM)과 색필터들을 조합하는 방법 및 백색발광층과 색필터들을 조합하는 방법과 같은 방법들도 사용할 수 있을 것이다. 물론, 상기 전자장치를 단색광을 발광할 수 있게 만드는 것도 가능하다.

상기 EL층(4018)의 형성 후, 그 EL층상에 음극(4019)을 형성한다. 이 때, 음극(4019)과 EL층(4018)사이의 계면에 존재하는 수분 또는 산소를 가능한 한 제거하는 것이 바람직하다. 따라서, 상기 EL층(4018)과 음극(4019)을 진공하에서 연속적으로 증착하는 방법, 또는 상기 EL층(4018)을 불활성가스분위기에서 형성하고 공기노출이 없는 상태에서 음극(4019)을 형성하는 방법을 사용하는 것이 필요하다. 본 실시예에서 상기의 막증착은 다중챔버방법(클러스터 툴(cluster tool)방법)과 막증착장비를 사용하여 이룰 수 있다.

본 실시예에서는 음극(4019)으로서 LiF(불화리튬)막과 Al(알루미늄)막을 사용한다. 특히, EL층(4018)상에 LiF(불화리튬)을 증착에 의해 1 nm의 두께로 형성하고, 그 LiF막상에 알루미늄막을 300 nm의 두께로 형성한다. 공지의 음극물질인 MgAg전극도 물론 사용가능하다. 이 후, 음극(4019)을 부호 4020으로 표시된 영역에서 배선(4007)에 접속시킨다. 배선(4007)은 음극(4019)에 소정의 전압을 인가하기 위한 전원공급선으로서, 도전 페이스트물질(4021)을 통해 FPC(4008)에 접속되어 있다.

음극(4019)을 부호 4020으로 표시된 영역에서 배선(4007)에 접속시키기 위해서는 중간절연막(4015)과 절연막(4017)에 콘택트 홀을 형성하는 것이 필요하다. 이 콘택트 홀은 중간절연막(4015)의 에칭 시(회소전극용의 콘택트 홀을 형성할 시), 그리고 절연막(4017)의 에칭 시(EL층을 형성하기에 앞서 개방부를 형성할 시) 형성할 수 있을 것이다. 또한, 절연막(4017)을 형성할 시 에칭을 중간절연막(4015)에 대해서도 한번에 모두 행할 수도 있다. 이 경우, 중간절연막(4015)과 절연막(4017)들이 동일한 수치물질로 되어 있기만 하면 양호한 콘택트 홀을 형성할 수 있다.

이후, 상기와 같이 하여 형성된 EL 소자의 표면을 덮도록 패시베이션막(4022), 충전재(4023), 그리고 커버링재(4009)를 형성한다.

또한, 커버링재(4009)와 기판(4001)사이에 밀봉재(4011)를 상기 EL 소자부분을 에워싸도록 형성하고, 그 밀봉재(4011)의 외측에 기밀용 밀봉재(제 2 밀봉재)(4010)를 형성한다.

본 실시예의 경우 상기 충전재(4023)는 커버링재(4009)를 접착시키기 위한 접착재로서 작용한다. 이 충전재(4023)로는 PVC(염화폴리비닐), 에폭시수지, 실리콘수지, PVB(폴리비닐부티랄), 및 EVA(에틸렌비닐아세테이트)를 사용할 수 있다. 충전재(4023)의 내부에 건조제를 내재시키는 경우에는 수분흡수효과를 계속 유지할 수 있기 때문에 바람직하다.

또한, 충전재(4023)의 내부에 스페이서들을 함유시킬 수도 있다. 이 스페이서들은 BaO와 같은 분말형 물질을 포함할 수 있는데, 그 자체가 수분흡수능력을 가지고 있는 것이다.

스페이서를 사용하는 경우 패시베이션막(4022)은 스페이서 압력을 완화시킬 수 있다. 또한, 수지막과 같은 막을 패시베이션막(4022)과 별도로 형성하여 스페이서압력을 완화시키는 것도 가능하다.

또한, 커버링재(4009)로서는 유리판, 알루미늄판, 스테인레스판, FRP(유리섬유강화플라스틱)판, PVF(염화폴리비닐)막, 마이라(Mylar)막, 폴리에스테르막, 그리고 아크릴수지막을 사용할 수 있다. PVB 또는 EVA를 충전재(4023)로서 사용하는 경우에는 PVF막 또는 마이라막으로 수십개의 알루미늄박막(μ)들을 겹쳐진 구조를 갖는 시트를 사용하는 것이 바람직하다.

그러나, EL 소자로부터의 발광방향(광조사방향)에 따라서는 커버링재(4009)가 광전달특성을 가질 필요가 있다.

또한, 배선(4007)을 밀봉재(4011) 또는 기밀용 밀봉재(4010)와 기판(4001)사이에 형성된 틈새를 통해 FPC(4008)에 전기접속시킨다. 여기서는 배선(4007)과 관련하여 설명을 하였으나, 배선(4005, 4006)의 경우도 밀봉재(4011)와 기밀용 밀봉재(4010)아래를 통해 유사한 방식으로 FPC(4008)에 전기접속된다.

본 실시예의 경우에는, 충전재(4023)의 형성 후 커버링재(4009)의 접착을 행하며, 밀봉재(4011)를 밀봉재(4023)의 측면(노출면)을 덮도록 부착하나, 밀봉재(4023)를 커버링재(4009)와 밀봉재(4011)의 부착 후 형성할 수도 있을 것이다. 이 경우, 기판(4001), 커버링재(4009), 밀봉재(4011)에 의해 형성된 틈새를 통해 충전재주입개구가 형성된다. 상기 틈새를 진공상태(10^{-2} Torr 이하의 압력)로 새팅하고, 충전재를 수용하고 있는 탱크에 주입개구를 침지한 상태에서 상기 틈새외부의 기압을 틈새내의 기압보다 높게하면 충전재가 틈새에 충전되게 된다.

[실시예 4]

도 10에는 본 발명 전자장치의 회소부의 보다 상세한 단면구조가 도시되어 있다.

도 10에서는, 기판(4501)상에 스위칭용 TFT(4502)를 공지의 방법으로 제조한 p채널형 TFT를 이용하여 형성한다. 본 실시예의 경우, TFT(4502)는 이중 게이트 구조를 가지고 있다. 구조 및 제조공정면에서 실질적인 차이가 없기 때문에, 이에 대한 설명은 생략한다. TFT(4502)의 이중 게이트 구조에 따라 대체로 두개의 TFT들이 직렬로 연결되어 OFF 전류값을 감소시키는 이점이 제공된다. 본 실시예에 있어서는, TFT(4502)가 이중 게이트 구조를 가지고 있으나, 단일 게이트 구조, 삼중 게이트 구조, 또는 더 많은 게이트를 갖는 다중 게이트 구조를 갖는 것도 가능하다.

또한, 기판(4501)상에 EL 구동용 TFT(4503)를 공지의 방법으로 제조한 n채널형 TFT를 이용하여 형성한다. 상기 EL 구동용 TFT(4503)의 게이트 전극(4506)에는 스위칭용 TFT(4502)의 드레인배선(4504)(도시 안됨)을 전기접속한다.

또한, 본 실시예에서, 상기 EL 구동용 TFT(4503)는 단일 게이트 구조를 가지고 있다. 그러나, 다수의 TFT들을 직렬로 연결하여서 된 다중 게이트 구조를 갖는 것도 가능하다. 또한, 다수의 TFT들을 병렬로 연결하여 하나의 채널형성영역을 다수의 부분들로 분할시킴으로써 매우 효율적인 방열을 행할 수 있게 하는 것

도 가능하다. 이러한 구조는 열로 인한 열화를 방지하는데 효과적이다.

EL 구동용 TFT(4503)의 드레인 배선(4512)에 그 EL 구동용 TFT(4503)의 게이트 전극(4506)을 포함하는 배선(도시 안됨)을 그 영역 일부에 형성된 절연막을 통해 중첩시킨다. 그리하여, 이 영역에 용량이 형성되는데, 이 용량은 EL 구동용 TFT(4503)의 게이트 전극(4506)에 인가되는 전압을 보유하도록 작용한다.

상기 스위칭용 TFT(4502)와 EL 구동용 TFT(4503)상에 제 1 층간절연막(4514)을 형성하고, 그 제 1 층간절연막(4514)상에는 수지절연막으로 된 제 2 층간절연막(4515)을 형성한다.

부호 4517은 높은 반사도를 갖는 도전막으로 구성되는 화소전극(EL 소자의 음극)으로서, 이 화소전극(4517)은 EL 구동용 TFT(4503)의 드레인에 전기접속되어 있다. 화소전극(4517)으로는 알루미늄합금막, 구리합금막, 은합금막, 또는 이들의 적층구조로 된 저저항성 도전막을 사용하는 것이 바람직할 수 있다. 물론, 다른 도전막들로 구성된 적층구조를 사용하는 것도 가능하다.

화소전극(4517)상에는 유기수지막(4516)을 형성하고, 상기 화소전극(4517)과 대면하는 부분을 패터닝시킨 후 EL층(4519)을 형성한다. 여기서, 도면에 도시하지는 않았지만 각 색, R(적색), G(녹색), B(청색)에 대응하는 발광층들을 형성할 수 있을 것이다. 상기 발광층용의 유기 EL 재료로는 π -공액 중합체물질들을 사용한다. 이러한 중합체물질의 예로는 폴리파라페닐렌비닐렌(PPV), 폴리비닐카비졸(PVK), 및 폴리플루오렌을 들 수 있다.

PPV 유기 EL 물질은 다양한 형태가 있다. 일례로, H. Shenk, H. Becker, O. Gelsen, E. Kluge, W. Kreuder, H. Spreitzer의 'Polymers for Light Emitting Diodes', Euro Display, Proceedings, 1999, pp. 33-37 및 일본국 공개특허공고 평10-92576호 공보에 기재된 물질들을 사용할 수 있다.

특히, 적색광을 방출하는 발광층으로서 시아노폴리페닐렌비닐렌을 사용할 수 있을 것이다. 녹색광을 방출하는 발광층으로서 폴리페닐렌비닐렌을 사용할 수 있을 것이다. 청색광을 방출하는 발광층으로서 폴리페닐렌비닐렌 또는 폴리일킬페닐렌을 사용할 수 있을 것이다. 막두께는 30 내지 150 nm(바람직하게는 40 내지 100 nm)으로 규정할 수 있을 것이다.

상기한 유기 EL 재료들은 발광층으로서 사용하는 것에 불과한 것으로, 본 발명이 이에 국한되는 것은 아니다. 발광층, 전하전달층, 또는 전하주입층을 적절히 조합하여 EL층(발광 및 캐리어이동층)을 형성할 수도 있을 것이다.

예를 들어, 본 실시예에서는 발광층으로서 중합체물질들을 사용하는 경우에 대해 설명하였으나, 저분자량의 유기 EL 재료를 사용하는 것도 가능하다. 또한, 탄화규소와 같은 무기물질을 전하전달층 및 전하주입층으로 사용할 수 있다. 이러한 유기 EL 재료들과 무기물질들로서는 공지된 물질들을 사용할 수 있다.

양극(4523)을 형성하면 EL 소자(4510)가 완성된다. 이 EL 소자(4510)는 화소전극(음극)(4517), 발광층(4519), 정공주입층(4522), 양극(4523)으로 구성되는 캐패시터로 언급된다.

본 실시예에 있어서는 양극(4523)상에 패시베이션막(4524)을 추가로 형성한다. 이 패시베이션막(4524)로는 질화규소막 또는 질화산화규소막을 사용하는 것이 바람직하다. 패시베이션막(4524)을 사용하는 목적은 EL 소자가 외부에 노출되는 것을 방지하기 위한 것이다. 즉, 패시베이션막(4524)은 유기 EL 재료를 산화로 인한 열로부터 보호하고, 유기 EL 재료로부터 가스의 방출을 억제한다. 이에 따라 전지장치의 신뢰성이 증대된다.

상술한 바와 같이, 상기 전지장치는 도 10에 도시된 바와 같은 구조를 갖는 화소로 구성되는 화소부를 가지고 있고, 충분히 낮은 오프전류값을 갖는 스위칭용 TFT와, 핫캐리어 주입에 강한 EL 구동용 TFT를 포함한다. 이와 같이하여 신뢰성이 높고 만족스러운 화상을 표시할 수 있는 전지장치가 얻어진다.

본 실시예에 있어서, 발광층(4519)에 의해 발생하는 광은 TFT가 형성되어 있는 기판에 화살표로 표시된 바와 같이 역방향으로 조사된다.

[실시예 5]

실시예 4의 도 10에 도시된 화소부에 포함되는 EL 소자(4510)의 구조가 반전되게 구성된 구조를 실시예 5에서 도 11을 참조하여 설명한다. 도 11의 구조와 도 10의 구조간의 차이점은 단지 EL 소자부와 EL 구동용 TFT에 있고, 따라서 다른 부분에 대한 설명은 생략한다.

도 11의 경우 스위칭용 TFT(4502)는 공지된 방법으로 제조한 p채널형 TFT를 이용하여 형성한다. 또한, EL 구동용 TFT(4503)도 공지된 방법에 의해 제조한 p채널형 TFT를 이용하여 형성한다.

실시예 5에서는 화소전극(양극)(4525)로서 투명도전막을 사용한다. 특히, 산화인듐과 산화이연의 화합물로 된 도전막을 사용한다. 물론, 산화인듐과 산화주석의 혼합물로 된 도전막을 사용하는 것도 가능하다.

이후, 제 3 층간절연막(4526)을 형성하고, 이어서 발광층(4528)을 형성한다. 이 발광층상에 포테슘이세틸 아세토네이트(acacK)를 사용하여 전자주입층(4529)을 형성하고, 알루미늄합금을 사용하여 음극(4530)을 형성한다.

이후, 산화에 의한 열로부터의 보호를 위해 실시예 5에서와 동일한 방식으로 패시베이션막(4533)을 형성한다. 이와 같이 하여, EL 소자(4531)가 형성된다.

EL 소자가 본 실시예에서 설명하는 구조를 갖는 경우에는 발광층(4528)에 의해 발생하는 광은 TFT가 형성되어 있는 기판쪽으로 화살표로 표시된 바와 같이 조사된다.

[실시예 6]

실시예 4 및 실시예 5에 도시된 전지장치들은 구동회로를 구성하는 TFT들용으로 역 스테거형 TFT들을 사용하는 경우 용이하게 제조할 수 있다. 이를 도 12를 참조하여 설명한다. 실시예 4 및 실시예 5에서와 동일한 위치에 형성된 부품들에 대해서는 도 10 및 도 11에서 표시한 부호와 동일한 부호로 표시한다.

도 12의 경우 기판(4501)상에 형성되는 스위칭용 TFT(4502)용으로는 공지된 방법으로 제조한 p채널형 TFT를 이용한다. 실시예 6에서는 단일 게이트구조를 사용하나, 이중 게이트구조를 사용하는 것도 가능하며, 또한 3개 이상의 게이트를 갖는 삼중 게이트구조와 같은 다중 게이트구조를 사용하는 것도 가능하다.

또한, EL 구동용 TFT(4503)용으로도 공지의 방법에 의해 제조한 p채널형 TFT를 이용한다. 상기 EL 구동용 TFT(4503)의 게이트 전극(4535)에는 스위칭용 TFT(4502)의 드레인 배선(4533)을 소정의 배선(도시 안됨)을 이용하여 전기접속한다.

또한, 도 12에는 EL 구동용 TFT(4503)용으로 단일 게이트구조가 도시되어 있으나, 다수의 TFT들이 직렬접속되어 있는 다중 게이트구조를 이용하는 것도 가능하다. 이 외에, 다수의 TFT들을 병렬로 연결하여 하나의 채널형성영역을 다수의 채널형성영역들로 분할시킴으로써 매우 효율적인 방열을 행할 수 있게 하는 구조를 사용하는 것도 가능하다. 이러한 형태의 구조는 열로 인한 열화에 대한 조치수단으로서 효과적이다.

EL 구동용 TFT(4503)의 게이트 전극(4534)을 포함하는 배선(도시 안됨)을 그 EL 구동용 TFT(4503)의 소스 배선(4512)의 일부에 절연막을 통해 중첩시켜 그 영역에 보유용량을 형성시킨다. 이 용량은 EL 구동용 TFT(4503)의 게이트 전극(4534)에 인가되는 전압을 저장하는 기능을 갖는다.

상기 스위칭용 TFT(4502)와 EL 구동용 TFT(4503)상에 제 1 층간절연막(4536)을 형성하고, 그 제 1 층간절연막(4536)상에는 수지절연막으로 된 제 2 층간절연막(4537)을 형성한다.

이후, 실시예 5에서와 유사하게, 화소전극(양극)(4538), 발광층(4539), 전사주입층(4540), 음극(4541), 패시베이션막(4542)들을 형성하여, EL 소자(4531)를 형성한다.

EL 소자가 실시예 6에서 설명하는 구조를 갖는 경우에는 발광층(4539)에 의해 방출되는 광은 TFT들이 형성되어 있는 기판쪽으로 화살표로 표시된 바와 같이 조사된다.

[실시예 7]

실시예 4에 도시된 구조를 갖는 전자장치에 있어서는 발광층(4519)로부터 방출되는 광은 TFT들이 형성되어 있는 액티브 매트릭스 기판에 대해 반대방향으로 도 10에 화살표로 표시한 바와 같이 조사된다. 따라서, 방출광이 TFT 등들에 의해 차단되지 않기 때문에 발광부의 표면적을 매우 넓게 하는 것이 가능하다. 도 10에 도시된 바와 같은 화소부 구조를 제공할 필요가 있을 경우에는 도 18A 및 도 18B에 도시된 바와 같은 구조를 사용할 수 있을 것이다. 이 구조를 실시예 7에서 설명한다.

도 18A는 실시예 7에 도시된 전자장치의 회로구조 전체를 예시하는 도면이다. 중앙에는 화소부가 배열되어 있다. 상기 화소부의 상부에는 소스 신호선들을 제어하기 위한 소스 신호선 구동회로가 배열되어 있고, 화소부의 좌측에는 게이트 신호선들을 제어하기 위한 게이트 신호선 구동회로가 배열되어 있고, 화소부의 우측에는 리셋 신호선들을 제어하기 위한 리셋 신호선 구동회로가 배열되어 있다. 화소부내에서 점선박스(1800)로 표시된 부분이 앞 화소부에 대한 회로부로서, 이에 대한 확대도가 도 18B에 도시되어 있다.

스위칭용 TFT(1801)와 EL 구동용 TFT(1802)용으로 n채널형 TFT들을 사용한다는 점 및 EL 소자(1803)의 구조면에서 실시예 1에 도시된 회로와 다른 구성을 가지고 있다. 상기 EL 소자(1803)는 실시예 4의 도 10에 도시된 구조에 따라 형성되고, 따라서, 부호(1810)는 음극, 부호(1811)는 양극, 그리고 부호(1809)는 양극 배선을 각기 나타낸다.

도 18A 및 도 18B의 스위칭용 TFT(1801)용으로는 n채널형 TFT를 사용하는데, 이하 그 이유를 설명한다.

소정 화소행에서 리셋용 TFT(1805)가 도전 상태에 있는 경우 해당 화소들은 이미 기입동작을 완료한 상태이고, 따라서 이 때 스위칭용 TFT(1801)는 비도전 상태에 있다. 또한, 이 때 다른 행들의 스위칭용 TFT(1801)들은 도전 상태에 있고, 따라서 해당 화소들에서 신호의 기입이 수행되고 있다. EL 구동용 TFT(1802)의 스레시홀드 전압이 부(負)의 값으로 변이되는 경우 비표시 기간에 상기 EL 구동용 TFT(1802)를 확실히 비도전 상태로 세팅시킬 수 있게 하기 위해서는 리셋용 TFT(1805)가 도전 상태에 있는 동안 게이트 신호선(1806)의 전위가 전류공급선(1808)의 전위보다 EL 구동용 TFT(1802)의 스레시홀드 전압만큼 낮게 설정되어야만 한다. 그러나, 단일 스위칭용 TFT(1801)용으로 p채널형 TFT를 사용했을 경우에는 게이트 신호선(1806)의 전위강화로 인해 게이트 신호선(1806)과 전류공급선(1808)간의 전압의 절대값이 스위칭용 TFT(1801)의 스레시홀드 전압의 절대값보다 높게 되면 스위칭용 TFT(1801)가 도전 상태로 된다. 이 때문에 도 18A 및 도 18B에 도시된 화소의 스위칭용 TFT(1801)용으로는 n채널형 TFT를 사용하는 것이다.

[실시예 8]

본 발명에서는 실시예 1의 구조를 갖는 독립된 회로에 리셋용 TFT의 동작을 제어하기 위한 리셋 신호선 구동회로를 구성시키고 있으나, 도 19A에 도시된 바와 같이 단일회로구조를 사용할 수도 있을 것이다. 이 경우에는 화소부의 양측에 게이트 신호선 구동회로를 배치하는 것이 구동면에서 바람직하다. 이에 따라, 도 19B에 도시된 바와 같이 게이트 신호선 구동회로와 리셋 신호선 구동회로를 하나의 회로로 구성되게 할 수 있으며, 또한 이 회로를 화소부의 양측 모두에 배치시키는 것이 가능하다.

[실시예 9]

본 발명은 3색, 즉 R(적색), G(녹색), B(청색)의 색표시를 행하기 위한 전자장치에 쉽게 적용가능하다. 이에 대한 실시예를 이하 설명한다. 실시예 7에 도시된 바와 같이 EL 구동용 TFT용으로 n채널형 TFT를 사용하게 되어 있는 구조를 채택할 수도 있으나, 실시예 9에서는 실시예 1에서와 같이 EL 구동용 TFT용으로 p채널형 TFT를 사용하는 경우를 예를 들어 설명한다.

EL 소지에서 R(적색), G(녹색), B(청색) 각각의 휘도특성은 서로 다르게 나타난다. 즉, EL 소지에 동일한 전압을 인가하면 방출광의 색에 따라 휘도가 달라지게 된다. 결국, EL 소지에 인가되는 전압을 각 색별로 변화시키면 3가지의 RGB색에 대해 동일한 휘도를 얻을 수 있다. 이를 위해서는 각 행의 전류공급선들의 전위를 각 색별로 조정된 전압으로 조정하는 것이 필요하다.

본 발명의 전자장치 및 전자장치 구동방법이 상기 3가지의 RGB색들이 분리되는 형태의 컬러 EL 표시장치와 같은 표시장치에 적용되는 경우에는 게이트 신호선들의 전위는 상기 3색 중 보다 높은 전압이 인가되는 전류공급선의 전위를 기준으로 하여 높게 설정하는 것이 가능하다.

그러나, 이 경우에는 3색 중 최소전압이 인가되는 전류공급선과 게이트 신호선간의 전위차가 매우 커지게 된다. 다시 말하자면 3색 중 최소전압이 인가되는 전류공급선에 접속되어 있는 EL 구동용 TFT의 게이트전압이 매우 높아지게 되고, 그 결과 상기 부분에서 EL 구동용 TFT들의 오프전류의 누설이 약간 증가하게 된다. 그러나, 전류공급선의 전위차는 아주 크게 되지 않고, 따라서 이는 문제가 되지 않는다.

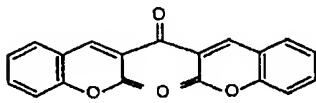
[실시예 10]

본 실시예에서는 발광을 위해 심중 여기에 의한 인광을 이용하는 EL 재료를 사용함에 따라 외부발광양자효율을 현저히 개선시킬 수 있다. 그 결과, EL 소자의 전력소비를 감소시킬 수 있고, EL 소자의 수명을 연장시킬 수 있으며, EL 소자를 경량화시킬 수 있다.

다음의 설명은 심중 여기를 이용하여 외부발광양자효율을 개선시키는 기술에 대한 보고에 관한 것이다(T. Tsutsui, C. Adachi, S. Saito, Photochemical processes in Organized Molecular Systems, ed. K. Honda, (Elsevier Sci. Pub., Tokyo, 1991) p. 437).

상기의 논문에서 보고된 EL 물질(코우마린(coumarin) 안료)의 분자식은 다음과 같다.

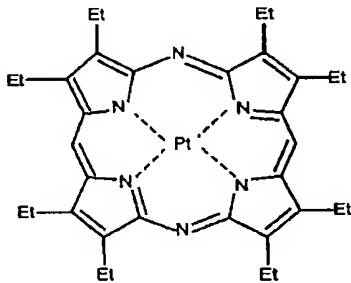
화학식 1



(M.A. Baldo, D.F.O' Brien, Y. You, A. Shoustikov, S. Sibley, M.E. Thompson, S.R. Forrest, Nature 395 (1998) p.151)

상기 논문에 보고된 EL 물질(Pt 복합체)의 분자식은 다음과 같다.

화학식 2

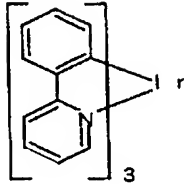


(M.A. Baldo, S. Lamansky, P.E. Burrows, M.E. Thompson, S.R. Forrest, Appl. Phys. Lett., 75 (1999) p.4)

(T. Tsutsui, M.-J. Yang, M. Yahiro, K. Nakamura, T. Watanabe, T. Tsuji, Y. Fukuda, T. Wakimoto, S. Mayaguchi, Jpn. Appl. Phys., 38(12B) (1999) L1502)

상기 논문에 보고된 EL 물질(Ir 복합체)의 분자식은 다음과 같다.

회색식 3



상술한 바와 같이, 심중 여기에 의한 인광을 실제로 적용할 수 있다면 단일 여기에 의한 형광을 이용하는 경우와 비교할 때 3 내지 4배의 외부발광양자효율을 얻을 수 있다. 본 실시예에 따른 구조는 제 1 내지 제 9 실시예들의 구조들중 임의의 구조들을 조합하여 임의로 실시할 수 있다.

[실시예 11]

본 발명에 따라 구성되는 전자장치 및 그 구동방법에 적용되는 EL 표시장치는 자기발광형으로서, 이에 따라 액정표시장치와 비교할 때 우수한 가시성과 넓은 시야각을 갖는다. 따라서, 이러한 자기발광장치는 다양한 전자장치의 표시부에 적용할 수 있다. 일례로, 대형 스크린상에서 TV 프로그램 등을 볼 수 있도록 본 발명에 따른 자기발광장치를 30인치 이상(전형적으로 40인치 이상)의 대각선 크기를 갖는 EL 표시장치의 표시부로서 사용가능하다.

상기 EL 표시장치는 퍼스널 컴퓨터용의 표시장치, TV 방송프로그램의 수신용 표시장치, 광고표시용 표시장치와 같이 정보표시를 위해 사용되는 모든 종류의 표시장치를 포함한다. 또한, 본 발명에 따른 전자장치와 그의 구동방법은 기타의 다양한 전자장치들의 표시부로서 사용가능하다.

본 발명의 기타 전자장치로서는 비디오 카메라, 디지털 카메라, 고글형 표시장치(헤드장착형 표시장치), 네비게이션 시스템, 음향재생시스템(카 오디오 스테레오, 오디오 셋), 노트북형 퍼스널 컴퓨터, 게임장치, 휴대형 정보단말기(이동형 컴퓨터, 휴대 전화, 휴대형 게임기, 또는 전자책), 기록매체가 구비된 화상재생 장치(특히, 디지털 다목적 디스크 재생기(DVD)와 같은 기록매체의 화상을 재생, 표시하는 표시부를 구비한 장치)를 들 수 있다. 특히, 휴대용 정보 단말기의 경우에는 비스듬한 방향에서 보기 쉽다는 경향 때문에 종종 넓은 시야각이 요구되므로 상기한 자기 발광 장치를 사용하는 것이 바람직하다. 도 20A 내지 도 21B에는 상기한 전자장치들의 특정 예들이 도시되어 있다.

도 20A에는 케이싱(3301), 지지 스탠드(3302) 및 표시부(3303)를 갖는 EL 표시 장치가 도시되어 있다. 본 발명의 발광장치는 표시부(2003)로서 사용할 수 있다. 이러한 EL 표시장치는 자기 발광형으로 배면광이 필요하지 않다. 따라서, 이 표시부는 액정 표시 장치에 비해 얇게 제조할 수 있다.

도 20B에는 비디오 카메라가 도시되어 있는데, 이 비디오 카메라는 본체(3311), 표시부(3312), 음향 입력부(3313), 조작 스위치(3314), 배터리(3315) 및 화상 수신부(3316)를 갖는다. 본 발명의 전자장치 및 그의 구동방법은 표시부(3312)에 적용할 수 있다.

도 20C에는 헤드장착형 EL 표시장치의 일부(우측부)가 도시되어 있는데, 이 헤드장착형 EL 표시장치는 본체(3321), 신호 케이블(3322), 헤드장착 밴드(3323), 표시부(3324), 광학계(3325), 표시부(3326) 등을 가지고 있다. 본 발명의 전자 장치 및 그의 구동 방법은 표시부(3326)에 적용할 수 있다.

도 20D에는 기록 매체를 갖춘 화상재생장치(특히, DVD 재생 장치)가 도시되어 있는데, 이 화상재생장치는 본체(3331), 기록매체(일례로, DVD)(3332), 조작 스위치(3333), 제 1 표시부(3334) 및 제 2 표시부(3335)를 갖는다. 제 1 표시부(3334)는 주로 화상 정보를 표시하는 데 사용되고, 제 2 표시부(3335)는 주로 문자 정보를 표시하는 데 사용된다. 본 발명의 전자장치 및 그의 구동방법은 제 1 표시부(3334) 및 제 2 표시부(3335)에 적용할 수 있다. 여기서 주지할 점은 가정용 게임기외 같은 장치도 기록 매체를 갖춘 상기 화상 재생 장치에 포함될 수 있다는 점이다.

도 20E에는 고글형 표시장치(헤드장착형 표시장치)가 도시되어 있는데, 이 고글형 표시장치는 본체(3341), 표시부(3342) 및 이암부(3343)를 가지고 있다. 본 발명의 전자장치 및 그 구동방법은 표시부(3342)에 적용가능하다.

도 20F에는 퍼스널 컴퓨터가 도시되어 있는데, 이 퍼스널 컴퓨터는 본체(3351), 케이싱(3352), 표시부(3353) 및 키보드(3354)를 가지고 있다. 본 발명의 전자장치 및 그 구동방법은 표시부(3353)에 적용가능하다.

만일 미래에 유기 EL 물질의 휘도 증가가 가능해진다면 렌즈 등으로 출력 화상 정보를 갖는 빛을 확대하고 투영하는 전면형 또는 배면형 프로젝터에도 본 발명을 적용할 수 있게 될 것이다.

또한, 상기한 전자 장치들은 종종 인터넷 및 CATV(케이블 TV)와 같은 전자 통신 회로를 통해 전달된 정보를 표시하며, 특히 동영상을 표시하는 상황이 현재 계속 증가 추세에 있다. 상기한 자기 발광 장치들은 EL 물질의 빠른 반응 속도때문에 동영상을 표시하는 데 적합하다.

이 외에도, EL 표시장치는 발광부에서 전력을 유지하기 때문에, 가능한 한 작은 발광부를 형성하도록 정보를 표시하는 것이 바람직하다. 따라서, 휴대용 정보 단말기, 특히, 휴대 전화 또는 음향 재생장치와 같이 주로 문자 정보용의 표시부에 자기 발광 장치를 사용할 경우에는 비발광부를 배경으로 셋팅하고, 발광부로

문지 정보를 형성할 수 있게 발광 장치를 구동하는 것이 바람직하다.

도 21A에는 휴대 전화기가 도시되어 있는데, 이 휴대 전화기는 본체(3401), 음향 출력부(3402), 음향 입력부(3403), 표시부(3404), 조작 스위치(3405) 및 안테나(3406)를 가지고 있다. 본 발명의 발광장치는 표시부(3404)로서 사용할 수 있다. 흑색 배경에 백색 문자를 표시하는 방식을 이용하면 표시부(3404)로 인한 휴대 전화기의 전력 소비를 줄일 수 있다.

도 21B에는 음향재생장치, 구체적으로 카 오디오 스테레오가 도시되어 있는데, 이 음향재생장치는 본체(3411), 표시부(3412) 및 조작 스위치(3413, 3414)를 가지고 있다. 본 발명의 발광 장치는 표시부(3412)로서 사용할 수 있다. 또한, 이 실시예에서는 카 오디오 스테레오를 예시하였으나, 휴대형 오디오 재생 장치 또는 가정형 오디오 재생장치에도 적용가능하다. 흑색 배경에 백색 문자를 표시하는 방식을 이용하면 표시부(3414)에 의한 전력 소비를 줄일 수 있는데, 이는 휴대용 음향 재생 장치에 적용할 경우 특히 효과적이다.

본 실시예에 도시된 휴대형 전자장치의 경우에는 전력소비를 낮추기위한 방법으로서 외부광을 감지하여 어두운 지역에서 사용시 표시휘도를 낮추게 하는 기능을 갖는 센서부가 제공된다.

상기한 바와 같이, 본 발명의 적용 범위는 매우 넓으며, 다양한 분야의 전기 장치에 사용될 수 있다. 또한, 본 실시예의 전기 장치는 제 1 실시예 내지 제 10 실시예의 구조들을 임의로 조합하여 얻을 수 있다.

발명의 효과

이하, 본 발명의 효과를 설명한다.

통상적인 시간 계조방법으로는 설정할 수 없는 짧은 서스테인(점등) 기간들을 갖는 경우라도 본 발명에 따르면 비표시 기간들을 형성하여 서로 다른 어드레스(기입) 기간들의 중복을 피할 수 있고, 이에 따라 계조수를 증가시키는 것이 가능하다.

또한, 도전 상태의 리셋용 TFT에 의해 비표시 기간들을 형성할 때 게이트 신호선의 전위를 조절하여 EL 구동용 TFT의 게이트전압(EL 구동용 TFT의 소스영역에 관련된 게이트 전극의 전위)을 양의 값을 갖게 할 수 있다. 이에 따라, EL 구동용 TFT의 스레시홀드 전압이 양의 값으로 변이하는 경우에도 리셋신호의 입력에 따라 전류가 EL 소자에 공급되는것을 방지할 수 있다.

(57) 청구의 범위

청구항 1

소스 신호선 구동회로와, 게이트 신호선 구동회로와, 리셋 신호선 구동회로와, 화소부를 포함하는 전자장치로서,

상기 화소부는 다수의 소스 신호선들과, 다수의 게이트 신호선들과, 다수의 전류공급선들과, 다수의 리셋선들과, 다수의 화소들을 가지고 있고,

상기 화소들의 각각은 스위칭용 트랜지스터와, EL 구동용 트랜지스터와, 리셋용 트랜지스터와, 보유용량과, EL 소자를 가지고 있고,

상기 스위칭용 트랜지스터의 게이트 전극은 상기 게이트 신호선들 중 해당하는 하나의 게이트 신호선에 전기접속되어 있고,

상기 스위칭용 트랜지스터의 소스영역과 드레인영역 중 한 영역은 상기 소스 신호선에 전기접속되어 있고, 다른 한 영역은 상기 EL 구동용 트랜지스터의 게이트 전극에 전기접속되어 있고,

상기 리셋용 트랜지스터의 게이트 전극은 상기 리셋 신호선에 전기접속되어 있고,

상기 리셋용 트랜지스터의 소스영역과 드레인영역 중 한 영역은 상기 게이트 신호선들 중 해당하는 하나의 게이트 신호선에 전기접속되어 있고, 다른 한 영역은 EL 구동용 트랜지스터의 게이트 전극에 전기접속되어 있고,

상기 보유용량의 일측 전극은 상기 전류공급선에 전기접속되어 있고, 타측 전극은 상기 EL 구동용 트랜지스터의 게이트 전극에 전기접속되어 있고,

상기 EL 구동용 트랜지스터의 소스영역과 드레인영역 중 한 영역은 상기 전류공급선에 전기접속되어 있고, 다른 한 영역은 상기 EL 소자의 일측 전극에 전기접속되어 있는 것을 특징으로 하는 전자장치.

청구항 2

제 1 항에 있어서, 상기 EL 구동용 트랜지스터의 상기 소스영역 또는 상기 드레인영역이 상기 EL 소자의 양극에 전기접속된 경우 상기 스위칭용 트랜지스터용으로 p채널형 트랜지스터를 사용하고,

상기 EL 구동용 트랜지스터의 상기 소스영역 또는 상기 드레인영역이 상기 EL 소자의 음극에 전기접속된 경우 상기 스위칭용 트랜지스터용으로 n채널형 트랜지스터를 사용하는 것을 특징으로 하는 전자장치.

청구항 3

전자장치를 구동하는 방법으로서,

일 프레임 기간이 n개의 서브프레임 기간(SF_1 , SF_2 , ..., SF_n)을 가지며,

상기 n개의 서브프레임 기간이 각기 어드레스(기입) 기간(Ia_1 , Ia_2 , ..., Ia_n)과 서스테인(점등) 기간(Ist_1 ,

T_{s2}, \dots, T_{sn} 을 가지며,

상기 n 개의 서브프레임 기간들중 하나 이상의 서브프레임 기간에서 어드레스(기입) 기간과 서스테인(점등) 기간이 중복되고,

m 번째($1 \leq m \leq n$)의 서브프레임 기간(SF_m)의 어드레스(기입) 기간(T_{a_m})과 $m+1$ 번째의 서브프레임 기간(SF_{m+1})의 어드레스(기입) 기간($T_{a_{m+1}}$)이 중복될 때, 상기 m 번째 서브프레임 기간(SF_m)의 서스테인(점등) 기간(T_{s_m})으로부터 상기 $m+1$ 번째의 어드레스(기입) 기간($T_{a_{m+1}}$)이 시작될 때까지의 기간 중에 비표시 기간이 존재하는 것을 특징으로 하는 전자장치 구동방법.

청구항 4

전자장치를 구동하는 방법으로서,

일 프레임 기간이 n 개의 서브프레임 기간(SF_1, SF_2, \dots, SF_n)을 가지며,

상기 n 개의 서브프레임 기간이 각기 어드레스(기입) 기간($T_{a1}, T_{a2}, \dots, T_{a_n}$)과 서스테인(점등) 기간($T_{s1}, T_{s2}, \dots, T_{s_n}$)을 가지며,

상기 n 개의 서브프레임 기간들중 하나 이상의 서브프레임 기간에서 어드레스(기입) 기간과 서스테인(점등) 기간이 중복되고,

j 번째 프레임($0 \leq j$)의 n 번째 서브프레임 기간(SF_n)의 어드레스(기입) 기간(T_{a_n})과 $j+1$ 번째 프레임의 1번째의 서브프레임 기간(SF_1)의 어드레스(기입) 기간(T_{a1})이 중복될 때, 상기 j 번째 프레임의 n 번째 서브프레임 기간(SF_n)의 서스테인(점등) 기간(T_{s_n})으로부터 $j+1$ 번째 프레임의 1번째의 서브프레임 기간(SF_1)의 어드레스(기입) 기간(T_{a1})이 시작될 때까지의 기간 중에 비표시 기간이 존재하는 것을 특징으로하는 전자장치 구동방법.

청구항 5

전자장치를 구동하는 방법으로서,

일 프레임 기간이 n 개의 서브프레임 기간(SF_1, SF_2, \dots, SF_n)을 가지며,

상기 n 개의 서브프레임 기간이 각기 어드레스(기입) 기간($T_{a1}, T_{a2}, \dots, T_{a_n}$)과 서스테인(점등) 기간($T_{s1}, T_{s2}, \dots, T_{s_n}$)을 가지며,

k 번째($1 \leq m \leq n$)의 서브프레임 기간(SF_k)의 어드레스(기입) 기간의 길이를 ' t_k ', 서스테인(점등) 기간의 길이를 ' ts_k ', 일 게이트 신호선의 선택 기간의 길이를 ' t_g '라 할때 상기 k 번째 서브프레임 기간(SF_k)이 ' $t_k > ts_k + t_g$ '를 만족하고, 상기 k 번째 서브프레임 기간(SF_k)에서의 비표시 기간의 길이가 ' tr_k '($tr_k > 0$)일 때

$$tr_k \geq t_k - (ts_k + t_g)$$

가 항상 만족되는 것을 특징으로 하는 전자장치의 구동방법.

청구항 6

제 3 항에 있어서, 상기 비표시 기간에서는 리셋 신호선 구동회로부터의 입력신호에 의해 도전 상태로 된 리셋용 트랜지스터에 의해 EL 구동용 트랜지스터가 비도전 상태로 되고,

상기 리셋용 트랜지스터가 비도전 상태로 복귀한 후 소스 신호선으로부터의 다음신호에 대한 기입이 행해 질때까지의 기간동안 상기 EL 구동용 트랜지스터의 게이트전압이 보유용량에 의해 유지되는 것을 특징으로 하는 전자장치의 구동방법.

청구항 7

제 4 항에 있어서, 상기 비표시 기간에서는 리셋 신호선 구동회로부터의 입력신호에 의해 도전 상태로 된 리셋용 트랜지스터에 의해 EL 구동용 트랜지스터가 비도전 상태로 되고,

상기 리셋용 트랜지스터가 비도전 상태로 복귀한 후 소스 신호선으로부터의 다음신호에 대한 기입이 행해 질때까지의 기간동안 상기 EL 구동용 트랜지스터의 게이트전압이 보유용량에 의해 유지되는 것을 특징으로 하는 전자장치의 구동방법.

청구항 8

제 5 항에 있어서, 상기 비표시 기간에서는 리셋 신호선 구동회로부터의 입력신호에 의해 도전 상태로 된 리셋용 트랜지스터에 의해 EL 구동용 트랜지스터가 비도전 상태로 되고,

상기 리셋용 트랜지스터가 비도전 상태로 복귀한 후 소스 신호선으로부터의 다음신호에 대한 기입이 행해 질때까지의 기간동안 상기 EL 구동용 트랜지스터의 게이트전압이 보유용량에 의해 유지되는 것을 특징으로 하는 전자장치의 구동방법.

청구항 9

제 3 항에 있어서, 상기 비표시 기간동안에는 EL 소지가 화상 신호와 무관하게 소등되는 것을 특징으로 하

는 전자장치의 구동방법.

청구항 10

제 4 항에 있어서, 상기 비표시 기간동안에는 EL 소자가 화상 신호와 무관하게 소등되는 것을 특징으로 하는 전자장치의 구동방법.

청구항 11

제 5 항에 있어서, 상기 비표시 기간동안에는 EL 소자가 화상 신호와 무관하게 소등되는 것을 특징으로 하는 전자장치의 구동방법.

청구항 12

제 3 항에 있어서, 상기 비표시 기간에서의 EL 구동용 트랜지스터의 게이트전압은 전류공급선의 전위와 비선택상태에 있는 소정의 게이트 신호선의 전위간의 차이에 의해 결정되는 것을 특징으로 하는 전자장치의 구동방법.

청구항 13

제 4 항에 있어서, 상기 비표시 기간에서의 EL 구동용 트랜지스터의 게이트전압은 전류공급선의 전위와 비선택상태에 있는 소정의 게이트 신호선의 전위간의 차이에 의해 결정되는 것을 특징으로 하는 전자장치의 구동방법.

청구항 14

제 5 항에 있어서, 상기 비표시 기간에서의 EL 구동용 트랜지스터의 게이트전압은 전류공급선의 전위와 비선택상태에 있는 소정의 게이트 신호선의 전위간의 차이에 의해 결정되는 것을 특징으로 하는 전자장치의 구동방법.

청구항 15

제 3 항에 있어서, EL 구동용 트랜지스터가 n채널형을 갖는 경우 비선택상태의 게이트 신호선에 건류공급선의 전위에 비해 상기 EL 구동용 트랜지스터의 스레시홀드 전압보다 낮은 전위가 입력되는 것을 특징으로 하는 전자장치의 구동방법.

청구항 16

제 4 항에 있어서, EL 구동용 트랜지스터가 n채널형을 갖는 경우 비선택상태의 게이트 신호선에 건류공급선의 전위에 비해 상기 EL 구동용 트랜지스터의 스레시홀드 전압보다 낮은 전위가 입력되는 것을 특징으로 하는 전자장치의 구동방법.

청구항 17

제 5 항에 있어서, EL 구동용 트랜지스터가 n채널형을 갖는 경우 비선택상태의 게이트 신호선에 건류공급선의 전위에 비해 상기 EL 구동용 트랜지스터의 스레시홀드 전압보다 낮은 전위가 입력되는 것을 특징으로 하는 전자장치의 구동방법.

청구항 18

제 3 항에 있어서, EL 구동용 트랜지스터가 p채널형을 갖는 경우 비선택상태의 게이트 신호선에 건류공급선의 전위에 비해 상기 EL 구동용 트랜지스터의 스레시홀드 전압보다 높은 전위가 입력되는 것을 특징으로 하는 전자장치의 구동방법.

청구항 19

제 4 항에 있어서, EL 구동용 트랜지스터가 p채널형을 갖는 경우 비선택상태의 게이트 신호선에 건류공급선의 전위에 비해 상기 EL 구동용 트랜지스터의 스레시홀드 전압보다 높은 전위가 입력되는 것을 특징으로 하는 전자장치의 구동방법.

청구항 20

제 5 항에 있어서, EL 구동용 트랜지스터가 p채널형을 갖는 경우 비선택상태의 게이트 신호선에 건류공급선의 전위에 비해 상기 EL 구동용 트랜지스터의 스레시홀드 전압보다 높은 전위가 입력되는 것을 특징으로 하는 전자장치의 구동방법.

청구항 21

제 1 항에 있어서, 상기 전자장치는 EL 표시장치, 비디오 카메라, 헤드장착형 표시장치, DVD 재생장치, 퍼스널 컴퓨터, 휴대 전화기, 카 오디오 시스템으로 구성되는 군에서 선택한 장치인 것을 특징으로 하는 전자장치.

청구항 22

제 3 항에 있어서, 상기 전자장치는 EL 표시장치, 비디오 카메라, 헤드장착형 표시장치, DVD 재생장치, 퍼스널 컴퓨터, 휴대 전화기, 카 오디오 시스템으로 구성되는 군에서 선택한 장치인 것을 특징으로 하는 전자장치의 구동방법.

청구항 23

제 4 항에 있어서, 상기 전자장치는 EL 표시장치, 비디오 카메라, 헤드장착형 표시장치, DVD 재생장치, 퍼

스날 컴퓨터, 휴대 전화기, 카 오디오 시스템으로 구성되는 군에서 선택한 장치인 것을 특징으로 하는 전자장치의 구동방법.

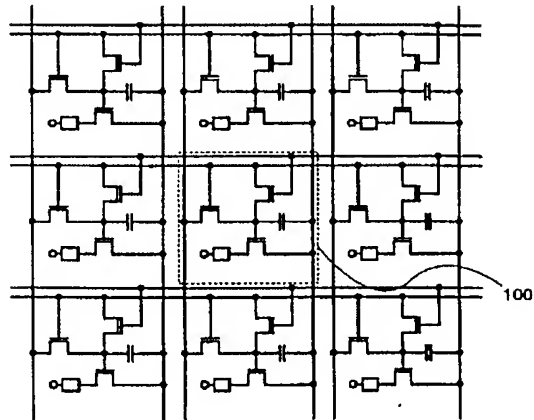
청구항 24

제 5 항에 있어서, 상기 전자장치는 EL 표시장치, 비디오 카메라, 헤드장착형 표시장치, DVD 재생장치, 퍼스널 컴퓨터, 휴대 전화기, 카 오디오 시스템으로 구성되는 군에서 선택한 장치인 것을 특징으로 하는 전자장치의 구동방법.

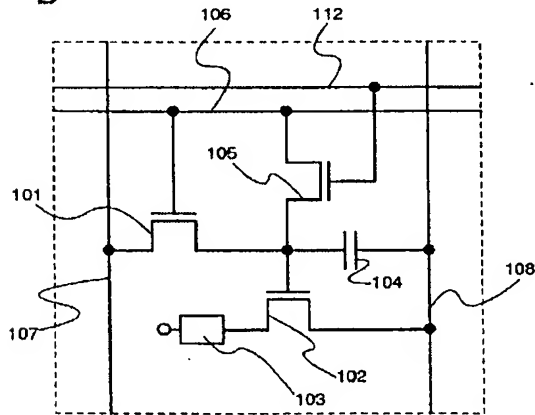
도면

도면1

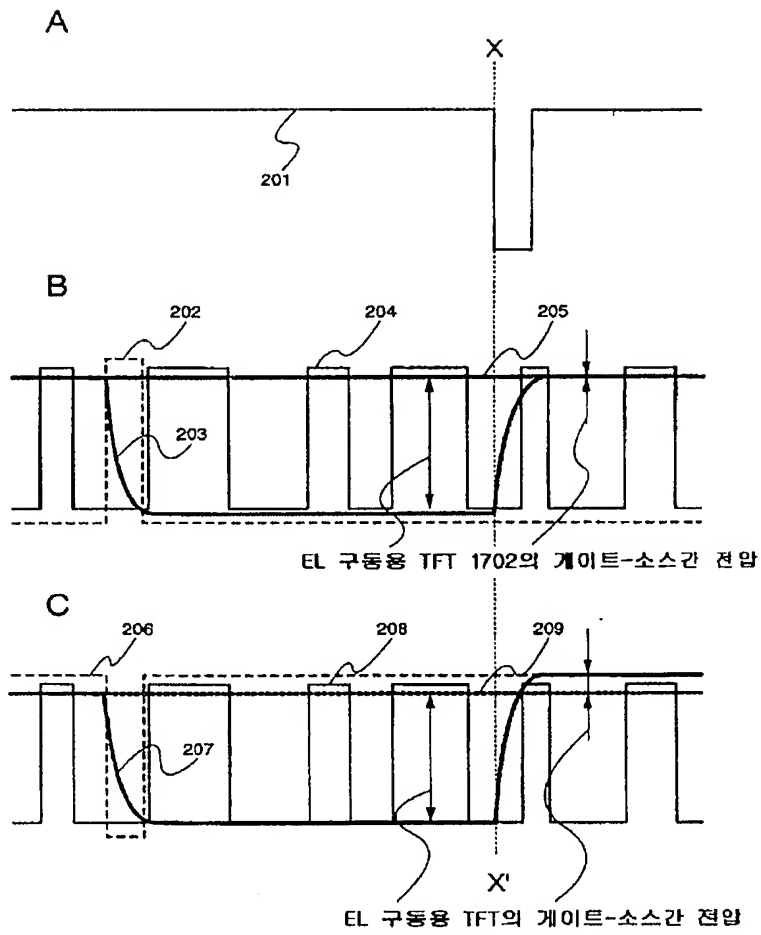
A



B

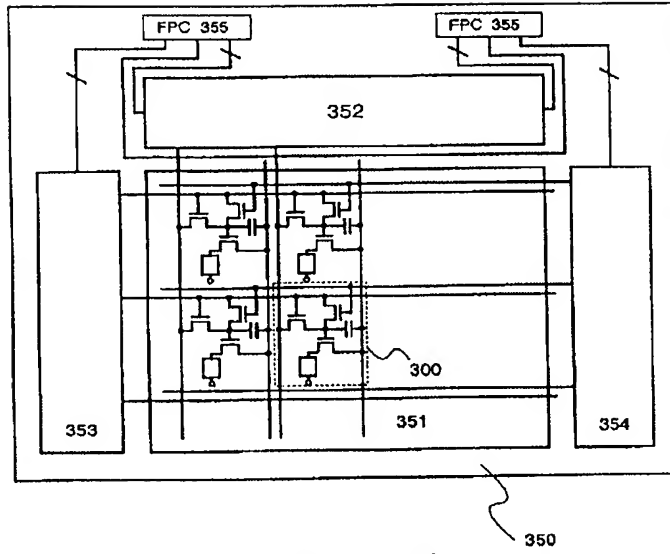


도면2

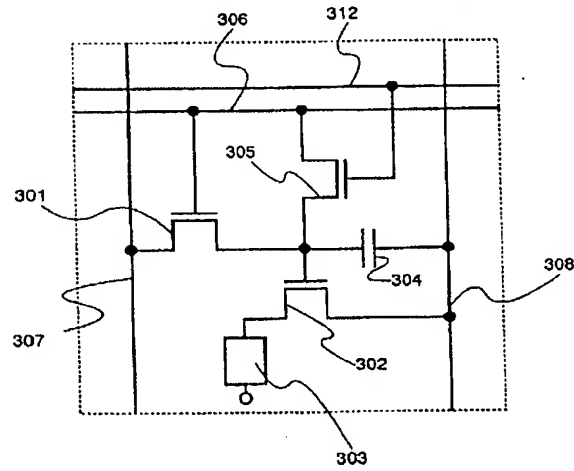


도면3

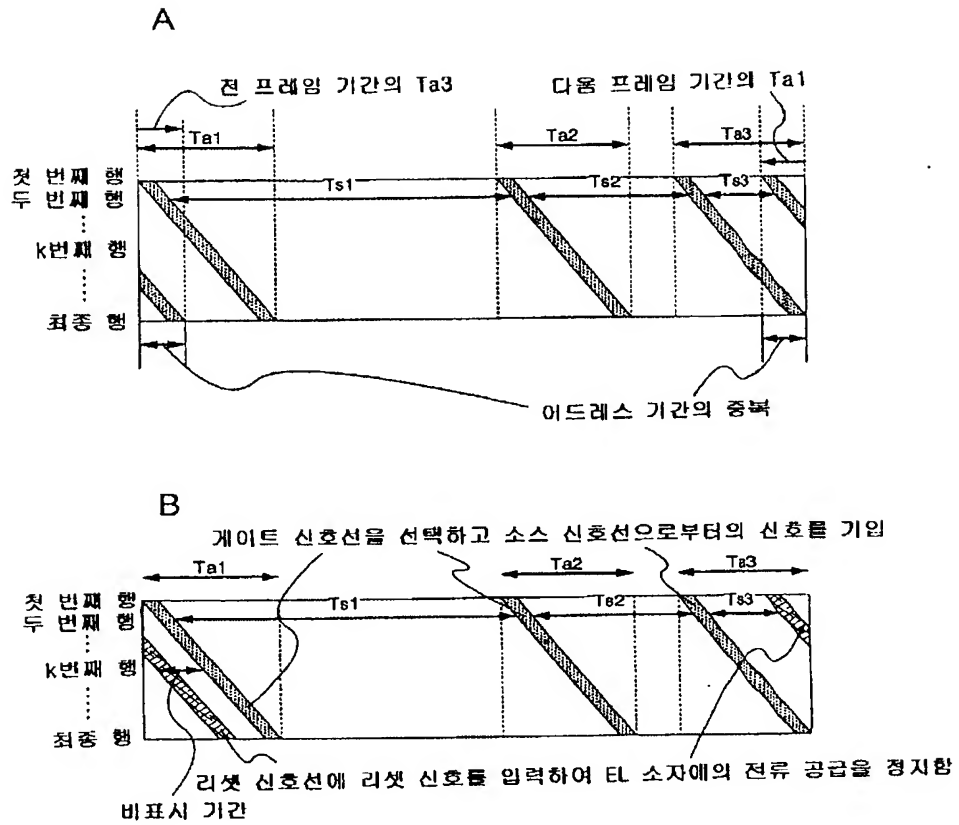
A



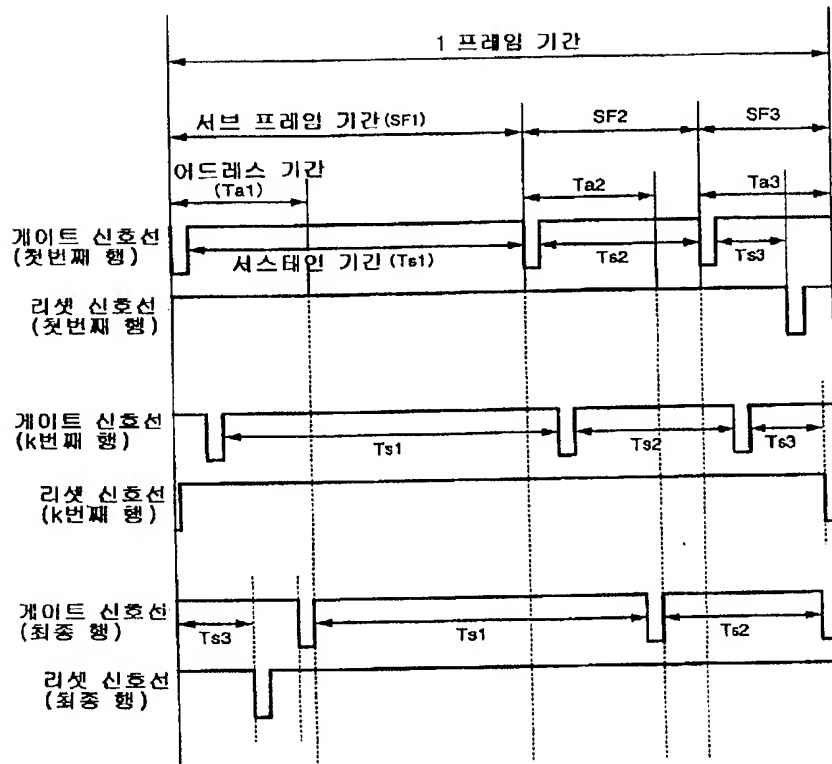
B



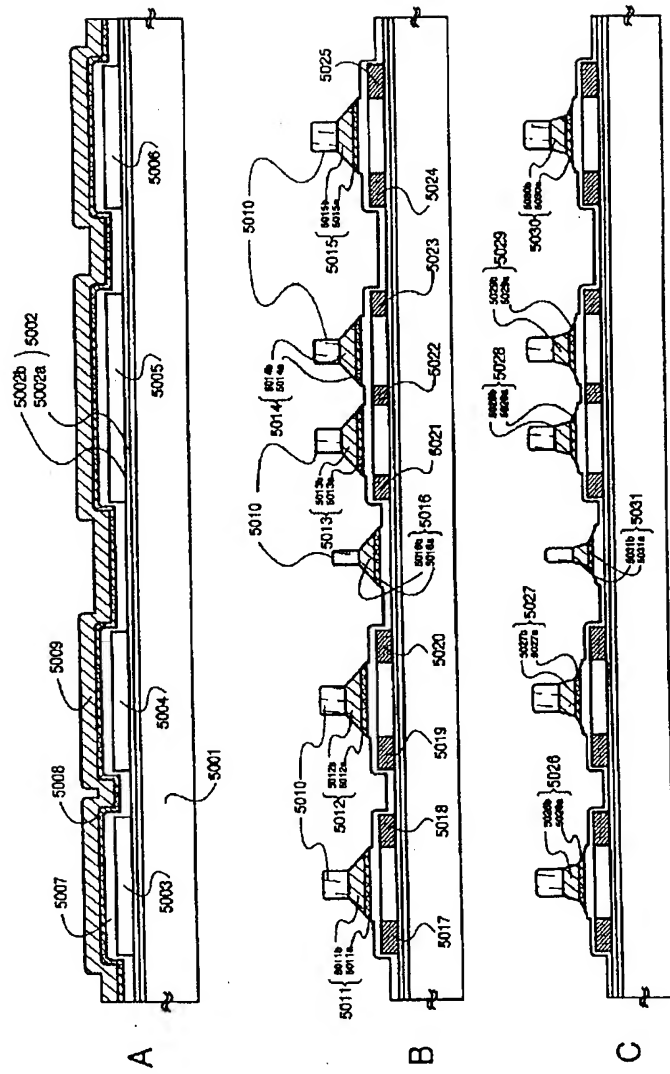
도면4



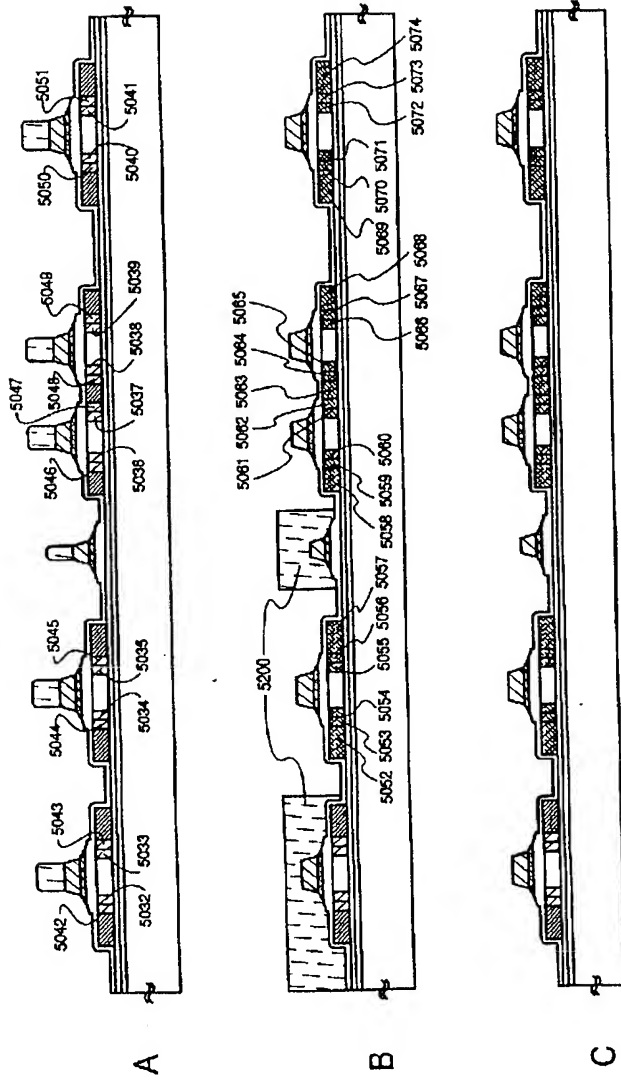
도면5



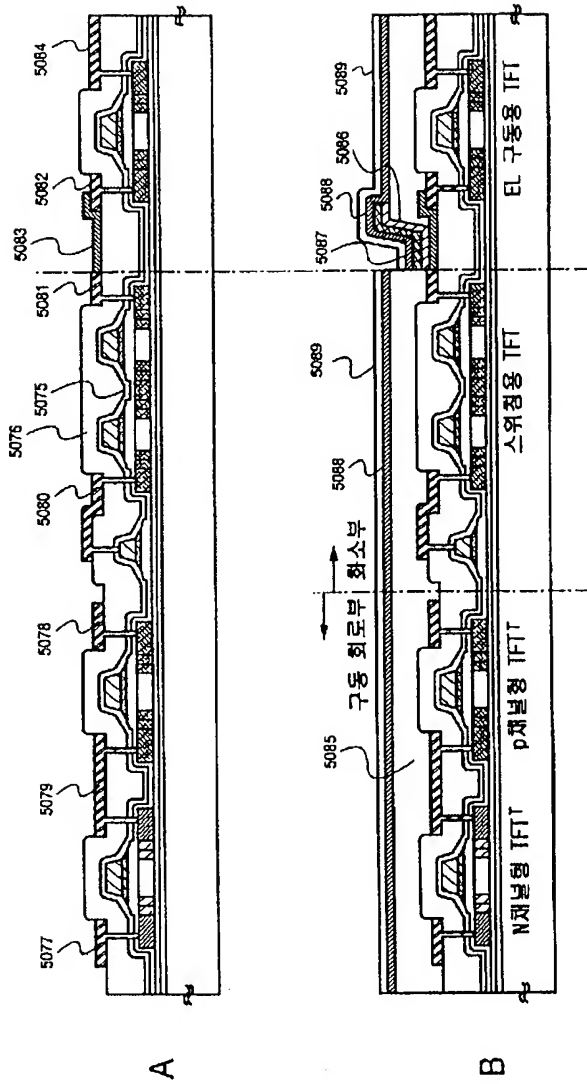
도면 6



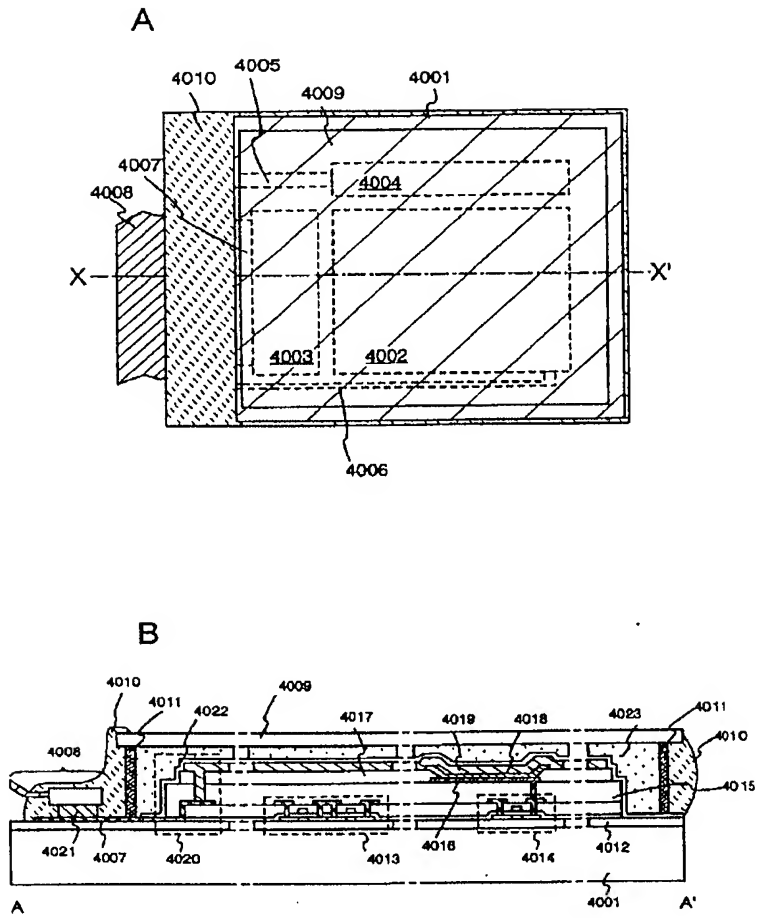
도면 7



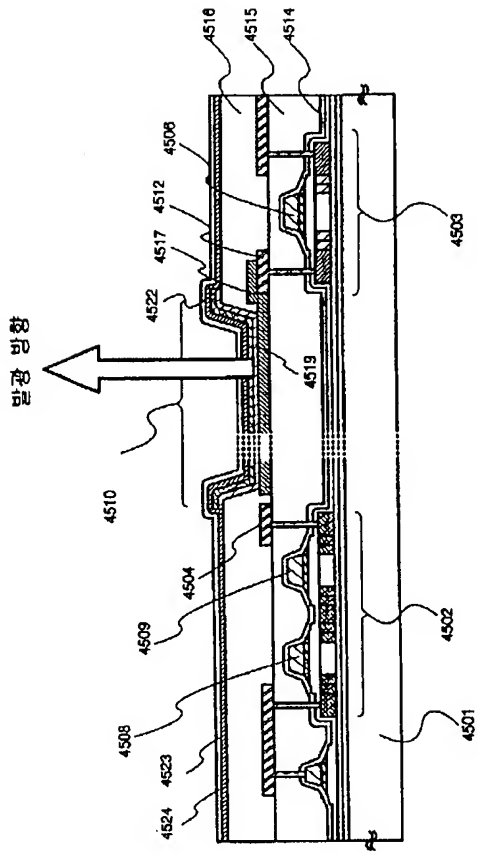
도 8B



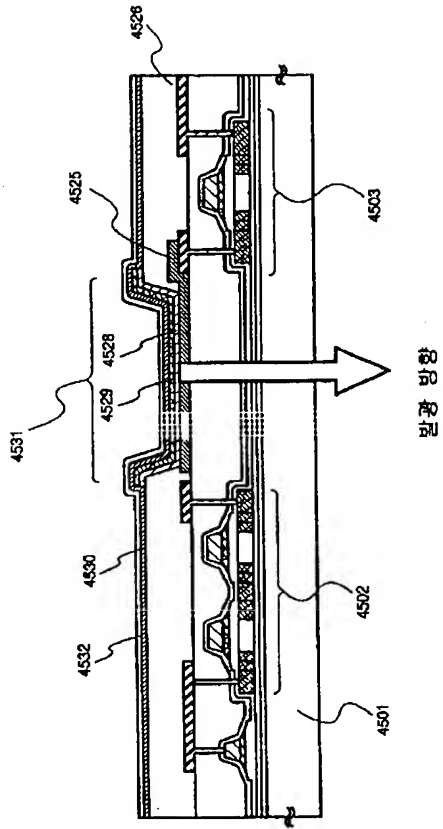
도면 19



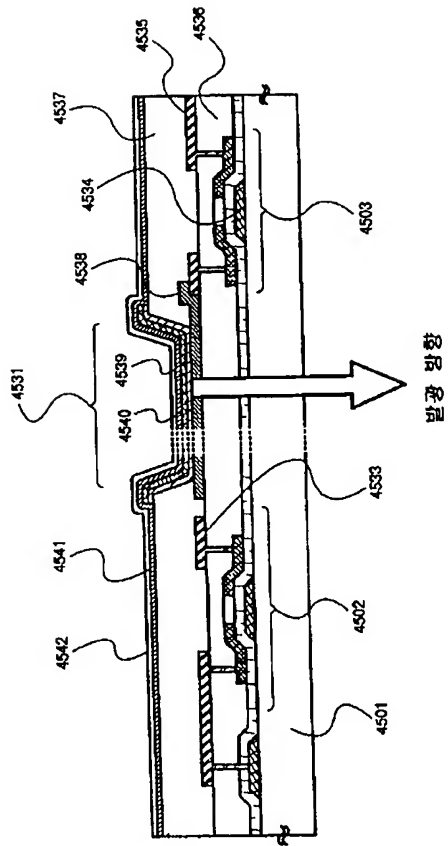
도면 10



도면 11

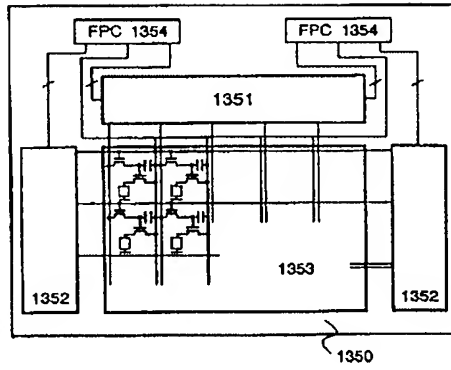


도면 12

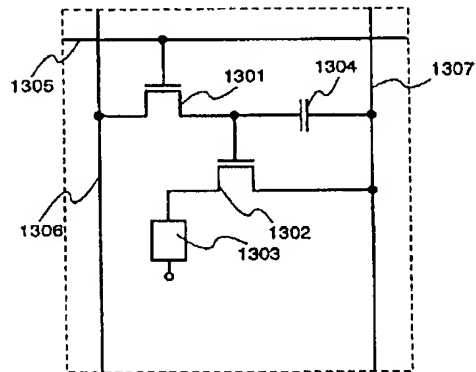


도면 13

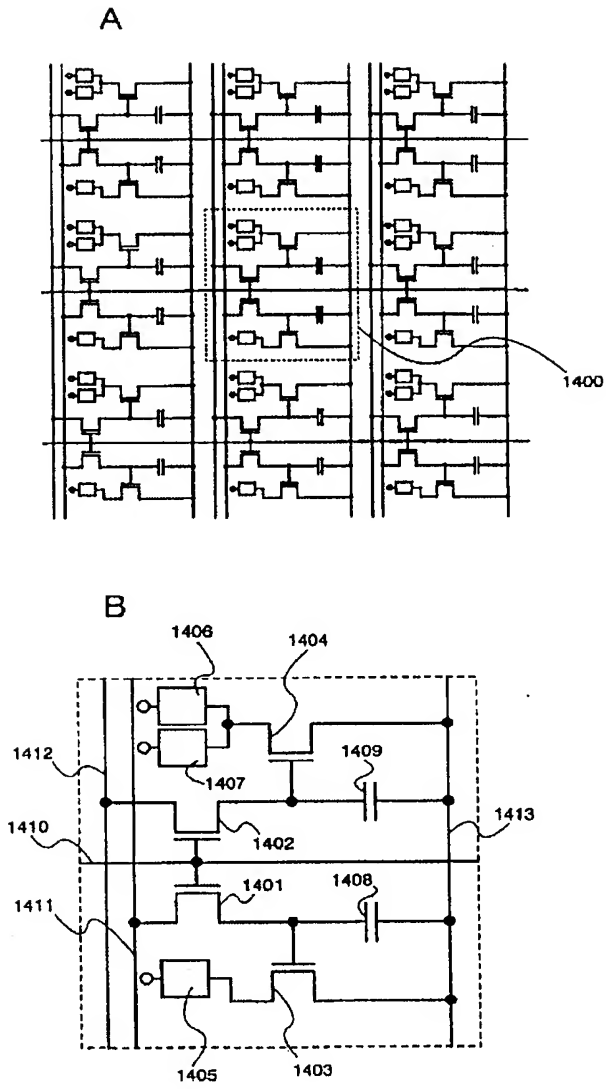
A



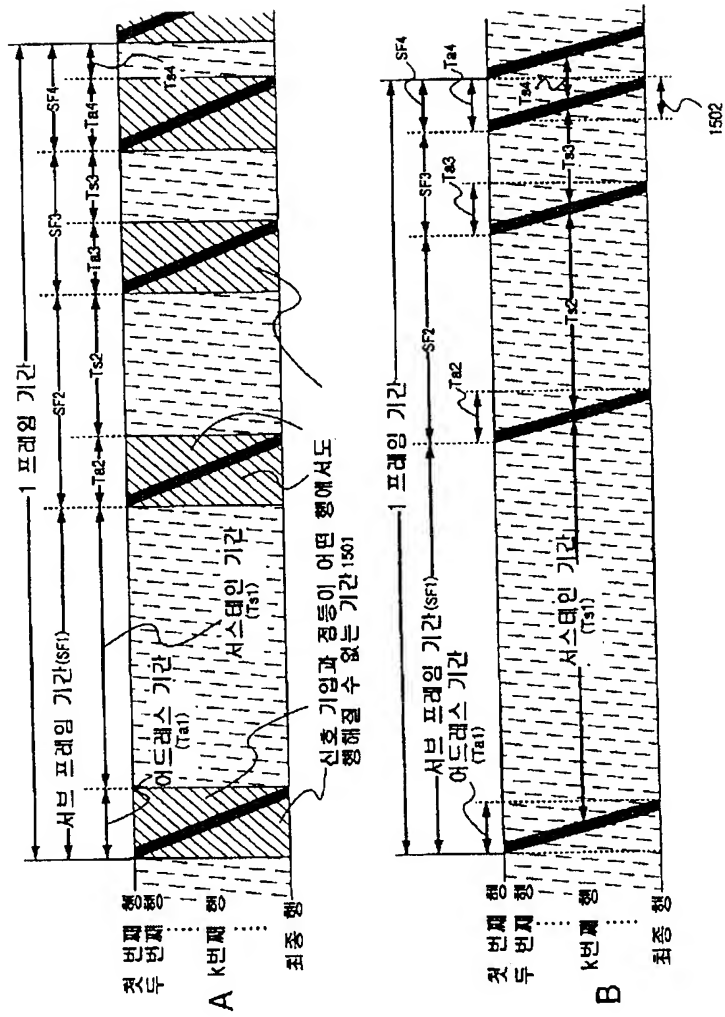
B



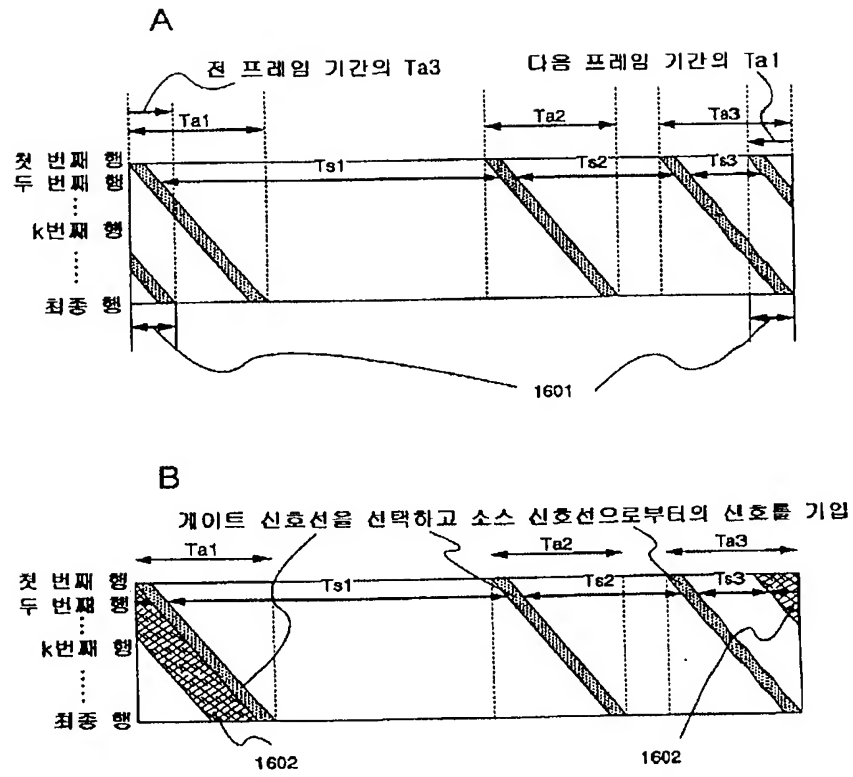
도면14



도면 15

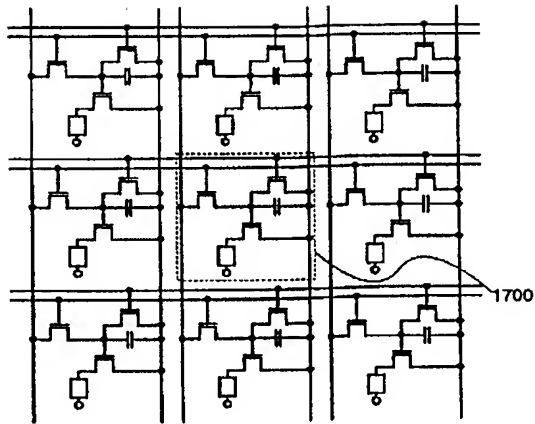


도면 16

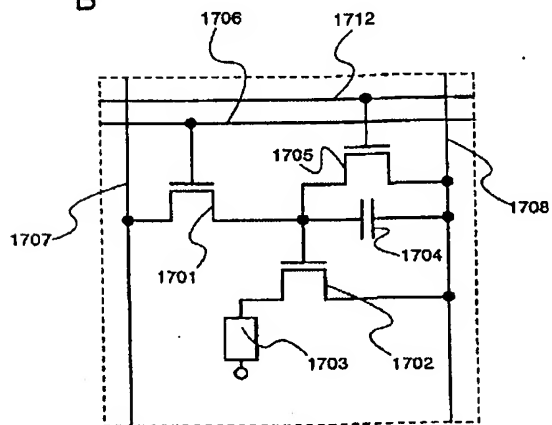


도면 17

A

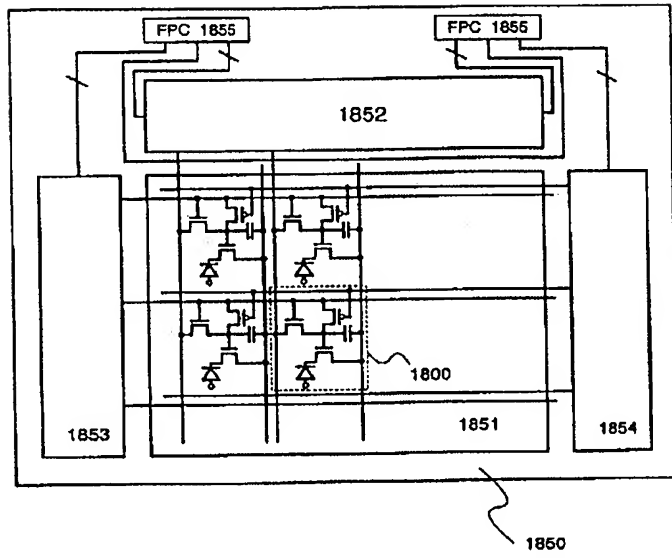


B

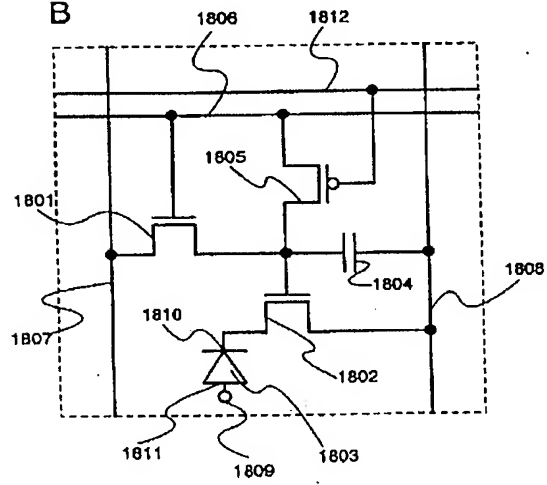


도면 18

A

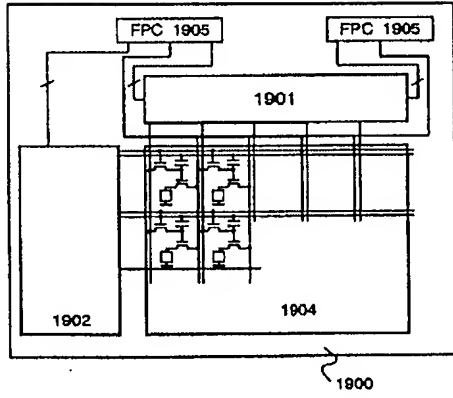


B

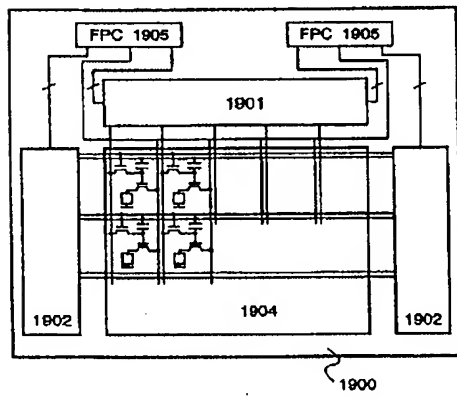


도면 19

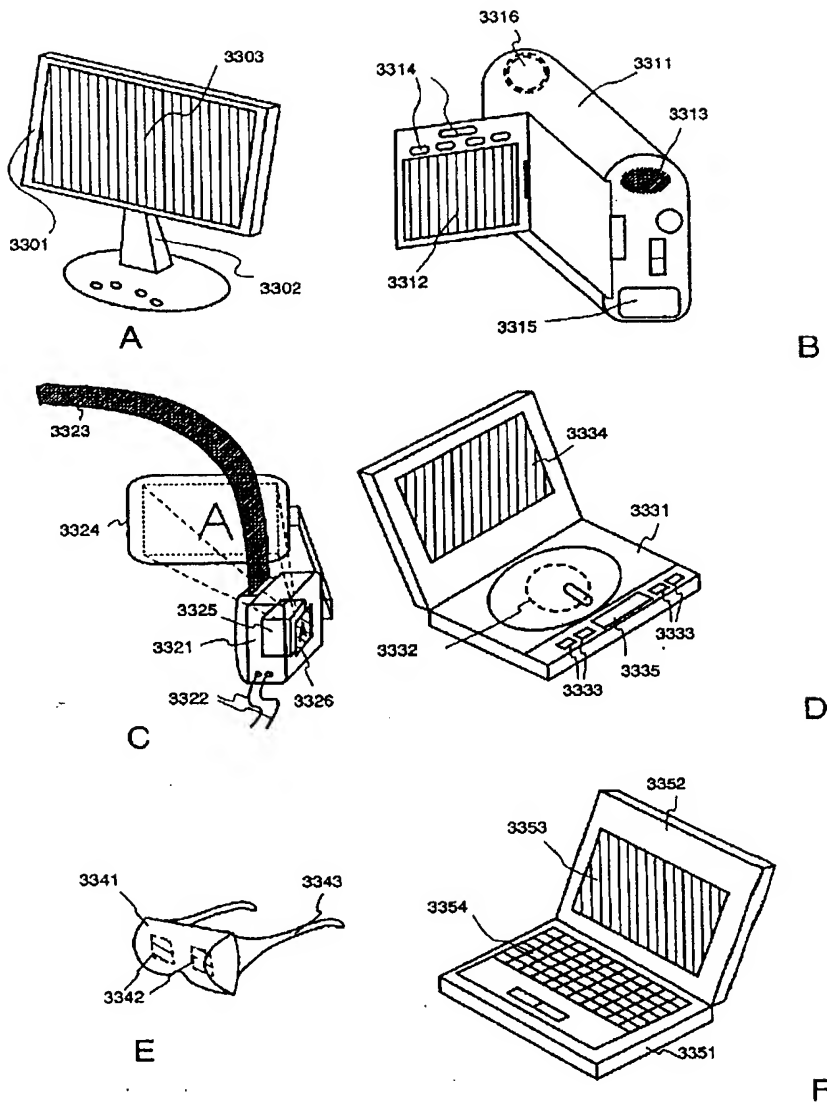
A



B



도면20



도면21

